



[0001] Die vorliegende Erfindung bezieht sich auf einen nichtflüchtigen Halbleiterspeicher, der eine Speicherzelle besitzt, die mit einem Speicherbereich versehen ist, der aus Schichten besteht, die eine Ladungsspeichereigenschaft an beiden von zwei Verunreinigungsbereichen haben, die eine Source oder einen Drain bilden, und in der Lage ist, zwei Datenbits pro Zelle aufzuzeichnen, sowie dazugehörige Verfahren zum Betreiben und zum Herstellen.

[0002] Als nichtflüchtiger Halbleiterspeicher ist beispielsweise ein sogenannter Metalloxid-Nitridoxid-Halbleiterspeicher (MONOS) oder eine Metall-Nitridoxid-Halbleiterspeicher (NMOS) bekannt, wo als Ladungsspeichereinrichtung zum Speichern von Daten eine Isolierschicht, die durch Stapeln von mehreren Schichten gebildet ist, vorgesehen ist. Beim MONOS-Speicher sind eine Oxid-Nitridoxid-Schicht (ONO) und eine Gate-Elektrode auf einem Halbleiter gestapelt, der einen Transistorkanal bildet, beispielsweise auf einem Halbleitersubstrat, einer Senke oder einer Silizium-Isolator-Schicht (SOI) (anschließend lediglich als "Substrat" bezeichnet), und ein Source- und ein Drain-Bereich, die einen Leitfähigkeitstypus haben, der entgegengesetzt zum Substrat ist, sind in Oberflächenbereichen des Substrats an den beiden Seiten des gestapelten Musters (Struktur) gebildet.

[0003] Durch Injizierung einer Ladung in eine Isolationschicht, die eine Ladungsspeichereigenschaft hat, von der Substratseite wird das Schreiben von Daten durchgeführt. Das Löschen wird durch Extrahieren der gespeicherten Ladung zur Substratseite hin oder durch Injizieren einer entgegengesetzten Polarisationsladung in die Isolierschicht erreicht, um die gespeicherte Ladung zu löschen.

[0004] Zum Injizieren der Ladung in die Isolationschicht ist ein Verfahren bekannt, wo ein Ladungsdurchtunnelungsphänomen verwendet wird, welches innerhalb eines Isolators verursacht wird, und außerdem beispielsweise die sogenannte CHE-Injektion (channel-hot-electron-injection = CHE) sowie weitere Verfahren, um eine Ladung in Energie bis zu einem Grad zu erregen, um in der Lage zu sein, die Isolationsbarriere u. a. der untersten Oxidschicht einer ONO-Schicht zu überwinden.

[0005] Seit einiger Zeit wurde über eine Technologie berichtet, bei der zur Kenntnis genommen wird, daß die herkömmliche CHE-Injektion eine Injektion einer Ladung in einem Teil eines diskreten Haftstellenbereichs einschließlich zerstreuter Ladehaftstellen ermöglicht, wobei das Speichern von zwei Bits pro Speicherzelle durch unabhängiges Schreiben von Binärdaten in eine Source und einen Drain einer Ladungsspeichereinrichtung ermöglicht wird, d. h., in die gestapelte Isolationschicht, die die Ladungsspeichereigenschaft besitzt.

[0006] Beispielsweise erwägt "Extended Abstract of the 1999 International Conference on Solid State Device and Materials", Tokio, 1999, Seite 522-523, daß es möglich sei, zwei Datenbits von kleinen Mengen von gespeicherten Ladungen durch das sogenannte "Umkehrlese"-Verfahren verläßlich zu lesen, wobei die Richtung der Spannung, die zwischen der Source und dem Drain angelegt wird, um 2 Datenbits durch CHE-Injektion zu schreiben, geändert wird, und wenn gelesen wird, eine bestimmte Spannung zwischen der Source und dem Drain in einer Richtung umgekehrt zu der der Schreiboperation angelegt wird, um die beiden Datenbits unabhängig zu lesen. Außerdem wird das Löschen durch Bilden einer Inversionsschicht in einem Flächenbereich des Source- oder Drain-Verunreinigungsbereichs durchgeführt, wodurch eine hohe Energieladung (heiße Löcher) durch Lawinendurchbruch in der Inversionsschicht

verursacht wird und die heißen Löcher in die Ladungsspeichereinrichtung injiziert werden.

[0007] Durch Verwendung dieses Verfahrens wird es möglich, die Schreibgeschwindigkeit zu vergrößern und die Herstellungskosten pro Bit stark zu reduzieren.

[0008] Bei dieser Speicherzelle jedoch, die in der Lage ist, 2 Datenbits zu speichern, wobei die herkömmliche CHE-Injektion verwendet wird, wird die Ladungsspeicherschicht (ONO-Schicht) auf der gesamten Oberfläche des Kanalbildungsbereichs gebildet, so daß der Bereich, in welchen die Ladung injiziert wird, nicht begrenzt ist. Wenn daher die Menge an gespeicherter Ladung aufgrund des Prozesses der Einrichtung oder der Nichtgleichförmigkeit der Vorspannungszustände im Betriebszeitpunkt schwankt, kann dies leicht einen empfindlichen Effekt auf die Speichercharakteristik haben, beispielsweise die Änderung bezüglich der Schwellenwertspannung. Wenn insbesondere mehr als die erforderliche Ladung injiziert wird, wird die Ladung in der Charakteristik bei der Überschreibseite zu einem Problem, da der Ladungsspeicherbereich nicht beschränkt ist. Da weiter der Ladungsspeicherbereich nicht beschränkt ist, besteht ein Nachteil darin, daß die Löschezit ebenfalls lang wird.

[0009] Weiter verschiebt sich eine Ladung, die in einer Trägerhaftstelle der Ladungsspeicherschicht selbst haftet, viel weniger leicht als eine Ladung in einer leitfähigen Schicht, jedoch, wenn die Einrichtung bei einer hohen Temperatur für eine längere Zeitdauer gehalten wird, wird eine sogenannte "Abschwächung" bzw. Verwässerung des Speichers auftreten, wo es einen gewissen Drift aufgrund von Wärme gibt, und der Ladungshaltbereich dehnt sich aus. In diesem Fall ändert sich ebenso wie bei einer herkömmlichen Einrichtungsstruktur, wo die Ladungsspeicherschicht gleichförmig in Bezug auf den gesamten Kanalbildungsbereich gebildet ist, die relative Größe der Schwellenwertspannung empfindlich.

[0010] Es ist bekannt, daß die Wirksamkeit der Ladungsinjektion bei der herkömmlichen CHE-Injektion gering ist und ungefähr 1×10^{-6} beträgt. Damit ist bei einer Schreiboperation ein großer Strom erforderlich, der zwischen Source-Drain-Bereichen in der Speicherzelle laufen muß. Daher bestand das Problem, daß der Leistungsverbrauch größer wird.

[0011] Dagegen leidet bei dem herkömmlichen obigen Speicherzellenaufbau, wenn eine sogenannte virtuelle Grundzellenmatrix (VG) verwendet wird, ein Matrixtypus mit dem kleinsten Zellenbereich, wobei ein wahlfreier Zugriff möglich ist, wenn eine Auswahl einer von mehreren Speicherzellen ermöglicht wird, die mit einer einzelnen Wortleitung verbunden sind, an dem Nachteil, daß ein serieller Zugriff zum simultanen Zugreifen auf mehrere Speicherzellen nicht möglich ist.

[0012] Der Grund dafür liegt darin, daß in einer VG-Zellenmatrix der Source-Bereich und der Drain-Bereich zwischen zwei angrenzenden Speicherzellen in der Wortleitungsrichtung gemeinsam genutzt werden. Diese anteilige Beziehung wird in der Wortleitungsrichtung wiederholt. In einer VG-Zellenmatrix werden gesehen in der Wortleitungsrichtung Source- und Drain-Bereiche und Kanalbildungsbereiche, welche unterschiedliche Leitfähigkeitstypen haben, abwechseln wiederholt. Wenn daher die Spannungen in den beiden Source- und Drain-Bereichen in einer bestimmten Speicherzelle festgelegt werden, sind, um einen unbeabsichtigten Betrieb der anderen Speicherzellen der gleichen Reihe zu verhindern, die Potentiale der anderer Source- und Drain-Bereiche ebenfalls unausweichlich festgelegt. Daher wird, wenn man die Speicherzellen beiseite läßt, für welche der beabsichtigte Betrieb möglich ist, ein Zugriff gemeinsam unter den relativen Potentialen auf andere Speicherzel-

len grundsätzlich unmöglich. Ein bedingter serieller Zugriff, wo die zugreifbaren Zellen konstant in Abhängigkeit von der Logik der gespeicherten Daten sich ändern, ist nicht praktikabel.

[0013] Aus dem obigen Grund ist es, wenn eine VG-Zellenmatrix durch Speicherzellen mit dem obigen herkömmlichen Aufbau aufgebaut wird, nicht möglich, frei und unabhängig mehrere Speicherzellen, die mit der gleichen Wortleitung verbunden sind, zu betreiben. Als Ergebnis leiden die herkömmlichen Speicherzellen, wenn eine VG-Zellenmatrix aufgebaut wird, um den Zellenbereich zu reduzieren, an dem Nachteil einer großen Anzahl von Schreiboperationen, wenn Daten in alle Speicherzellen geschrieben werden, die mit einer Wortleitung verbunden sind, sowie einer längeren Gesamtzeit, die zum Schreiben erforderlich ist. Das heißt, daß die Überlegenheit bei der Reduktion der Bitkosten, die durch Verwendung einer VG-Zellenmatrix erreicht wird, um den Zellenbereich zu reduzieren, schließlich kleiner wird, wenn keine VG-Zellenmatrix verwendet und die Schreibezeit durch seriellen Zugriff erhöht wird.

[0014] Eine erste Aufgabe der vorliegenden Erfindung besteht darin, einen nichtflüchtigen Halbleiterspeicher bereitzustellen, mit dem der Bereich eines Ladungshaltebereichs begrenzt wird, welcher 2 Datenbits speichern kann, und der weniger bezüglich der Charakteristik beeinflusst wird, sogar wenn eine übermäßige Ladung injiziert wird, sowie Verfahren zum Betrieb und zum Herstellen dieser Einrichtung.

[0015] Eine zweite Aufgabe der vorliegenden Erfindung besteht darin, einen nichtflüchtigen Halbleiterspeicher bereitzustellen, der eine erhöhte Ladungsinjektionseffizienz hat, der eine verbesserte Schreibgeschwindigkeit hat und bei dem die Leistung, die durch eine Speicherzelle bei einer Schreiboperation verbraucht wird, vermindert wird, sowie Verfahren zum Betreiben und zum Herstellen der Einrichtung.

[0016] Eine dritte Aufgabe der vorliegenden Erfindung besteht darin, einen nichtflüchtigen Halbleiterspeicher bereitzustellen, der mit einer Einrichtung versehen ist, um einen Einschaltzustand bzw. Ausschaltzustand eines Kanals separat von einer normalen Gate-Elektrode eines Speichertransistors zu steuern und der dadurch seriellen Zugriff auf mehrere Speicherzellen ermöglicht, die mit einer Wortleitung verbunden sind, sogar, wenn eine VG-Zellenmatrix verwendet wird, sowie ein Verfahren zum Betreiben der Einrichtung.

[0017] Um die erste und zweite Aufgabe zu lösen, wird gemäß einem ersten Merkmal der vorliegenden Erfindung ein nichtflüchtiger Halbleiterspeicher bereitgestellt, der umfaßt:

einen Kanalbildungsbereich, der aus einem Halbleiter besteht;

eine Ladungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzt;

zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die die beiden Enden des Kanalbildungsbereichs überlappen;

einer dielektrischen Einzellagenschicht, die den Kanalbildungsbereich zwischen den beiden Speicherbereichen kontaktiert;

eine Steuergateelektrode, die die dielektrische Einzellagenschicht kontaktiert; und

eine Speichergateelektrode, welche die beiden Speicherbereiche kontaktiert und welche Bereiche aufweist, die die Speicherbereiche, die elektrisch miteinander kontaktiert sind, kontaktieren.

[0018] Der Kanalbildungsbereich umfaßt zwei äußere Kanalbereiche, die der Speichergateelektrode über den Spei-

cherbereichen zugewandt sind; und einen inneren Kanalbereich, der zwischen den beiden äußeren Kanalbereichen angeordnet ist und der Steuergateelektrode über der dielektrischen Einzellagenschicht zugewandt ist.

[0019] Vorzugsweise werden die Schwellenwertspannungen der drei Kanalbereiche, die aus den beiden äußeren Kanalbereichen und dem inneren Kanalbereich bestehen, unabhängig eingestellt. Beispielsweise sind die Schwellenwertspannungen der beiden äußeren Kanalbereiche gleich.

[0020] In diesem Fall sind vorzugsweise die Schwellenwertspannungen der beiden äußeren Kanalbereiche niedriger als die des inneren Kanalbereichs.

[0021] Weiter umfaßt der Kanalbildungsbereich zwei äußere Kanalbereiche, die der Speichergateelektrode über den Speicherbereich zugewandt sind; und einen inneren Kanalbereich, der zwischen den beiden äußeren Kanalbereichen angeordnet ist und der Steuergateelektrode über der dielektrischen Einzellagenschicht zugewandt ist; und

wobei eine Länge des inneren Kanalbereichs, die durch den Abstand zwischen den beiden äußeren Kanalbereichen festgelegt ist, eine Länge ist, die es ermöglicht, daß sich Träger quasi-ballistisch in einem Kanal, der im Operationszeitpunkt gebildet wird, verschieben.

[0022] Die Speichergateelektrode schneidet vorzugsweise die Steuerelektrode in einem elektrisch isolierten Zustand schneidet und kontaktiert die Speicherbereiche an den beiden Außenseiten der Steuergateelektrode.

[0023] In diesem Fall umfaßt die Einrichtung weiter vorzugsweise auf der Steuergateelektrode eine Ätzstoppschicht, die aus einem Dielektrikum mit einer Ätzrate besteht, die niedriger ist als die eines leitfähigen Materials, welches die Speichergateelektrode bildet.

[0024] Dies dient dazu, um eine Beseitigung der dielektrischen Schicht auf der Steuergateelektrode zu verhindern und die Steuergateelektrode im Zeitpunkt der Bearbeitung der Speichergateelektrode herunterzuätzen.

[0025] Vorzugsweise werden weiter zwei Verunreinigungsbereiche bereitgestellt, die voneinander von den Speicherbereichseiten über den Kanalbildungsbereich getrennt sind und aus einem Halbleiter bestehen, der einen umgekehrten Leitfähigkeitstypus zum Kanalbildungsbereich aufweist. Die beiden Verunreinigungsbereiche sind Bitleitungen (BL).

[0026] Die Speichergateelektrode ist eine Wortleitung (WL), um Operationen zu steuern, die das Eingeben und Ausgeben von Ladungen zu oder von den Speicherbereichen umfassen, und die Steuergateelektrode ist eine Steuerleitung ist, um die Operationen zu unterstützen.

[0027] Eine sogenannte NOR-Speicherzellenmatrix kann verwendet werden. In diesem Fall umfaßt die Speicherzelle zwei Verunreinigungsbereiche, die voneinander über den Kanalbildungsbereich von den Speicherbereichsseiten isoliert sind und aus einem Halbleiter bestehen, der einen Leitfähigkeitstypus entgegengesetzt zum Kanalbildungsbereich aufweist;

einen Steuertransistor, der diese Steuergateelektrode als Gate hat und funktioniert, die beiden äußeren Kanalbereiche, die der Speichergateelektrode über den Speicherbereichen zugewandt sind, zur Source und zum Drain zu machen; und

zwei Speichertransistoren, die in Reihe über den Steuertransistor geschaltet sind, wobei jeder die Speichergateelektrode als Gate hat und jeder funktioniert, um den Kanalbereich zwischen dem Steuertransistor und einem der beiden Verunreinigungsbereiche zu einer Source oder einem Drain zu machen, und wobei:

diese mehreren Speicherzellen in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden;

jeder der beiden Verunreinigungsbereiche längs in einer Richtung der Speicherzellenmatrix angeordnet ist und mehrere Speicherzellen gemeinsam nutzt; und die Steuergateelektrode im Spalt, der die beiden Verunreinigungsbereiche trennt, parallel zu den Verunreinigungsbereichen angeordnet ist und die mehreren Speicherzellen gemeinsam nutzt.

[0028] Außerdem ist vorzugsweise jede der beiden Verunreinigungsbereiche von einem Verunreinigungsbereich einer anderen Speicherzelle isoliert, die in einer Richtung senkrecht zur Längsrichtung angrenzt.

[0029] Eine VG-Speicherzellenmatrix kann als Modifikation des NOR-Typus angewandt werden. In diesem Fall wird vorzugsweise jeder der beiden Verunreinigungsbereiche die Speicherzellen, die in einer Richtung senkrecht zur Längsrichtung angrenzen, gemeinsam genutzt.

[0030] Vorzugsweise sind Speicherzellen, die einer Richtung angrenzen, durch eine dielektrische Isolationslage isoliert.

[0031] Vorzugsweise ist die dielektrische Isolationschicht in Streifen parallel zu den Speichergateelektroden unterhalb eines Spalts zwischen den Speichergateelektroden angeordnet.

[0032] Alternativ ist die dielektrische Isolationsschicht längs der Speichergateelektroden unterhalb eines Spalts zwischen den Speichergateelektroden angeordnet und auf den Verunreinigungsbereichen getrennt.

[0033] Weiter hat vorzugsweise die Speichergateelektrode Seitenwände an den beiden Seiten in der Breitenrichtung, und jede der Seitenwände ist mit einem Rand der dielektrischen Isolationsschicht über die Ladungsspeicherschicht in einem Bereich überlappt, der an den Speicherbereich angrenzt.

[0034] Bei einem nichtflüchtigen Halbleiterspeicher mit diesem Aufbau gibt es zwei Speicherbereiche mit Ladungshaltemöglichkeiten. Diese beiden Speicherbereiche sind durch eine dielektrische Einzellagenschicht getrennt, die keine Ladungsspeicherefähigkeit hat. Wenn folglich zwei Bits von gespeicherten Daten gehalten werden, sind die 2 Bits von gespeicherten Daten verlässlich voneinander versetzt. Der Grund dafür ist, daß, sogar wenn übermäßige Ladungen in die Speicherbereiche injiziert werden, die aufgrund des Vorhandenseins der dielektrischen Einzellagenschicht keine Ladungsspeicherefähigkeit dazwischen haben, die Ladungsinjektion nicht zu mehr als einem bestimmten Bereich fortschreiten kann, so daß die Verteilungsbereiche der Ladungen nicht miteinander reagieren. Wenn außerdem die gehaltenen Ladungen sogar driften, wenn die Einrichtung auf einer hohen Temperatur gehalten wird, wird es, da die Verteilungsbereiche der Ladungen nicht miteinander reagieren, es keine Abschwächung der beiden Bits von gespeicherten Daten im Hinblick zueinander geben.

[0035] Das Bereitstellen einer Widerstandsdifferenz im Kanalbildungsbereich hebt außerdem die Wirkung der Ladungsinjektion bei einem Schreib- oder Löschbetrieb an.

[0036] Weiter wird bei einem nichtflüchtigen Halbleiterspeicher gemäß dem ersten Merkmal der vorliegenden Erfindung, wenn Ladungen in den Speicherbereich injiziert werden, sogar, wenn eine Ladung zu dem Teil der Ladungsspeicherschicht an der Außenseite der Speichergateelektrode in der Kanalbreitenrichtung leckt, ein Leckpfad nicht leicht zwischen dem Kanalbildungsbereich und den Verunreinigungsbereichen aufgrund des Effekts der Ladung gebildet. Der Grund dafür liegt darin, daß der Bereich der Ladungsspeicherschicht, zu welchem die Ladung leckt, auf der dielektrischen Isolationsschicht oben läuft, und als Ergebnis

der Effekt der Leckladung auf dem Kanalbildungsbereich ausreichend reduziert wird. Wenn eine dielektrische Isolationsschicht gebildet wird, wird, wenn die Speichergateelektrode in ihrer Breitenrichtung fehlausgerichtet ist, es einen

5 Bereich geben, wo die Steuerkraft der Speichergateelektroden nicht reicht und die injizierte Ladung nicht in einer Schreiboperation gespeichert wird. Wenn beispielsweise ein System zum Injizieren von Ladungen mit der umgekehrten Polarität bei einer Löschoperation verwendet wird, endet
10 manchmal lediglich eine Ladung, die eine Polarität in einer Richtung hat, bei der der Kanal eingeschaltet wird, um allmählich mit jeder Schreiboperation in dem Bereich angesammelt zu werden, wo die Steuerkraft der Speichergateelektrode sich nicht ausdehnt. Wenn dies der Fall ist, tritt eine
15 Situation auf, wo die Schwellenwertspannung in diesem Bereich scharf abfällt und der Leckstrom stark ansteigt. Bei der vorliegenden Erfindung werden, um einen starken Anstieg des Leckstroms zu verhindern, Seitenwände an den beiden Seiten der Speichergateelektrode in der Breitenrichtung gebildet; und es wird eine ausreichende Überlappung mit der
20 Ladungsspeicherschicht ohne einen Bereichsnachteil realisiert.

[0037] Weiter verhindert die dielektrische Isolationschicht, daß ein Kanal, der unterhalb der Steuergateelektrode gebildet wird, sich in Richtung auf eine andere Zelle
25 erstreckt, die sich die Steuergateelektrode teilt, wenn die Steuergateelektrode eingeschaltet wird. Wenn es eine dielektrische Isolationsschicht gibt, ist der Bereich unter dem Steuergate einer Zelle einer nicht-ausgewählten Wortleitung elektrisch isoliert. Aus diesem Grund wird, sogar wenn das
30 Steuergate eingeschaltet ist, kein Kanal unter dem Steuergate einer Zelle einer nicht-ausgewählten Wortleitung gebildet, und eine Überverarmung resultiert, die verarmte Schicht streut aufgrund des Wärmegleichgewichtszustands. In dem Zustand wird verglichen mit dem Zustand, wo ein
35 Kanal gebildet wird, die Gatekapazität sehr viel kleiner. Folglich ist verglichen mit dem Fall, wo es keine dielektrische Isolationsschicht gibt und ein Kanal unterhalb der Steuergateelektrode in allen Zellen gebildet wird, die sich
40 die Gateelektrode anteilig teilen und in dem Fall, wo ein Kanal in dem Bereich unterhalb der Steuergateelektrode in einer Zelle einer ausgewählten Wortleitung gebildet wird, jedoch eine dielektrische Isolationsschicht gibt und kein Kanal in dem Bereich unterhalb der Steuergateelektrode in anderen nicht-ausgewählten Zellen gebildet ist, die Kapazität
45 des Steuergates im letzteren Fall kleiner. Die Verminderung der Kapazität des Steuergates trägt zu einer höheren Geschwindigkeitsoperation und zu einem reduzierten Leistungsverbrauch eines nichtflüchtigen Halbleiterspeichers bei.

[0038] Aus obigen Gründen trägt diese Kombination der dielektrischen Isolationsschicht und der Speichergateelektrode mit Seitenwänden stark zu einer Reduktion des Leckstroms ohne einen Anstieg der Zellenfläche und zu einer Reduktion der Gatekapazität und zu einer Vergrößerung der
55 Operationsgeschwindigkeit bei. Es sei angemerkt, daß, wenn eine dielektrische Isolationsschicht auf einem Verunreinigungsbereich isoliert ist, kein hoher Widerstandsbereich auf dem Verunreinigungsbereich aufgrund des Vorhandenseins der dielektrischen Isolationsschicht gebildet wird.

[0039] Um die erste und zweite Aufgabe zu lösen, wird gemäß einem zweiten Merkmal der vorliegenden Erfindung ein Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers bereitgestellt, der einen Kanalbildungsbereich
60 umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsbereiche, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und voneinander über den Kanalbildungsbereich getrennt sind, eine La-

dungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzen, zwei Speicherbereiche, die von Bereichen der Ladungsspeicherschicht umfaßt sind, die mit zwei Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichen überlappt sind, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, welche die Speicherbereiche kontaktiert, und eine Gate-Elektrode auf der dielektrischen Einzellagenschicht, wobei die Operation, die eine Schreiboperation umfaßt, folgende Schritte umfaßt:

Anlegen einer vorher festgelegten Spannung zwischen den beiden Verunreinigungsbereichen, um den Verunreinigungsbereich, der in der Nähe der zu beschreibenden Speicherbereichsseite angeordnet ist, zum Drain zu machen und um den anderen zur Source zu machen;

Anlegen einer bestimmten Spannung an die Speichergateelektrode und an die Steuergateelektrode, um einen Kanal zwischen den beiden Verunreinigungsbereichen zu bilden; und

Injizieren eines Teils der Träger, die im Kanal injiziert sind, in den drainseitigen Speicherbereich.

[0040] Der Schritt zum Bilden des Kanals umfaßt vorzugsweise das Steuern der Spannungswerte, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um einen Kanal, der einen Kanalwiderstand besitzt, unterhalb der beiden Speicherbereiche zu bilden, der verschieden ist von einem Kanalwiderstand unterhalb der dielektrischen Einzellagenschicht zwischen den beiden Verunreinigungsbereichen.

[0041] Der Schritt zum Bilden des Kanals umfaßt alternativ das Steuern der Werte von Spannungen, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um ein hohes elektrisches Feld in einem Kanalbereich unterhalb der Steuergateelektrode und in einem Bereich des ersten Leitfähigkeitstypus-Halbleiters unterhalb eines Spalts zwischen der Steuergateelektrode und der Speichergateelektrode längs der Richtung der Ladungsinjektion in den Kanal zu bilden.

[0042] Die Operation zum Lesen gespeicherter Daten gemäß einer Ladung, die durch Hocheffiziente CHE-Injektion gehalten wird, umfaßt die folgenden Schritte:

Anlegen einer Spannung zwischen den beiden Verunreinigungsbereichen, um so den Verunreinigungsbereich auf der Seite des Speicherbereichs, der die zu lesenden gespeicherten Daten hält, zur Source zu machen, und um den anderen Verunreinigungsbereich zum Drain zu machen;

Anlegen bestimmter Spannungen an die Speichergateelektrode und an die Steuergateelektrode; und
Ändern des Vorhandenseins oder des Nichtvorhandenseins der Ladung oder der Ladungsmengendifferenz im Speicherbereich gemäß den gespeicherten Daten in die Strommenge, die im Kanalbildungsbereich fließt, oder in die Menge der Spannungsänderung der Verunreinigungsbereiche, um die gespeicherten Daten zu lesen.

[0043] Bei einem Löschbetrieb ist es möglich, heiße Träger aufgrund beispielsweise eines Band-zu-Band-Tunnelstroms zu injizieren oder eine Umkehrleitfähigkeits-Hochenergieladung aufgrund des Lawinendurchbruchs zu injizieren. Das heißt, daß die Löschoperation folgende Schritte umfaßt:

Anlegen einer Spannung zum Invertieren des Verunreinigungsbereichs zwischen dem Verunreinigungsbereich, der an der Seite des Speicherbereichs angeordnet ist, der die zu löschenden gespeicherten Daten hält, und der Speichergateelektrode;

Erzeugen einer hohen Energieladung einer Polarität entge-

gegengesetzt zur Ladung, die im Zeitpunkt der Schreiboperation injiziert wird, aufgrund eines Lawinendurchbruchs oder einer Band-zu-Band-Durchtunnelung, die in einer Inversionsschicht des Verunreinigungsbereichs im Zeitpunkt des

5 Anlegens der Spannung verursacht wird; und
Injizieren eines Teils der erzeugten hohen Energieladung in den Speicherbereich, der die gespeicherten Daten hält.

[0044] Alternativ können die gehaltenen Ladungen von der Gesamtkanalfläche oder von der Verunreinigungsbereichsseite unter Verwendung des Tunnelphänomens extrahiert werden.

[0045] Um die erste und zweite Aufgabe zu lösen, wird gemäß einem dritten Merkmal der vorliegenden Erfindung ein Verfahren bereitgestellt, um einen nichtflüchtigen Halbleiterspeicher zu betreiben, der einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsbereiche, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzt, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht besteht, die mit zwei Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichs-

20 reicheiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die
30 Operation, die eine Schreiboperation umfaßt, folgende Schritte aufweist:

Anlegen einer Spannung zwischen der Speichergateelektrode und dem Verunreinigungsbereich, der auf der Speicherbereichsseite angeordnet ist, wo die Daten zu schreiben sind, in einer Richtung, um den Verunreinigungsbereich zu invertieren;

35 Erzeugen von hohen Energieladungen durch Lawinendurchbruch, der in einer Inversionsschicht des Verunreinigungsbereichs im Zeitpunkt des Anlegens der Spannung verursacht wird; und

Injizieren eines Teils der erzeugten hohen Energieladung in den Speicherbereich der Seite, wo Daten geschrieben werden sollen.

[0046] Vorzugsweise umfaßt die Schreiboperation außerdem einen Schritt zum Ändern des Potentials in diesem Kanalbildungsbereich unterhalb der dielektrischen Einzellagenschicht gemäß dem Potential der Steuergateelektrode, um die Injektionsposition der hohen Energieladungen zu steuern.

50 [0047] Dadurch ist es beispielsweise möglich, den Ladungsinjektionsbereich auf einen Teil des Verunreinigungsbereichs durch Anlegen einer Spannung mit einer entgegengesetzten Polarität zur Gateelektrode zur Steuergateelektrode zu begrenzen. Als alternativ ist es möglich, den Ladungsinjektionsbereich zum gesamten Bereich des beabsichtigten Speicherbereichs durch Anlegen einer Spannung mit der gleichen Polarität als Speichergateelektrode zur Steuergateelektrode zu machen.

[0048] Vorzugsweise umfaßt die Löschoperation von Daten, die gemäß der Injektionsladung gespeichert wurden, folgende Schritte:

Anlegen einer vorher festgelegten Spannung zwischen den beiden Verunreinigungsbereichen, um so den Verunreinigungsbereich auf der Seite des Speicherbereichs, der die zu löschenden gespeicherten Daten hält, zum Drain zu machen, und um den anderen Verunreinigungsbereich zur Source zu machen;

Anlegen bestimmter Spannungen an die Speichergateelektro-

trode und die Steuergateelektrode, um einen Kanal zwischen den beiden Verunreinigungsbereichen zu bilden; und Injizieren eines Teils der Träger, die eine entgegengesetzte Polarität zu der Ladung haben, die im Zeitpunkt der Schreiboperation injiziert wird und die in den Kanal injiziert wurden, in den Speicherbereich, der die zu löschenden gespeicherten Daten hält.

[0049] Der Schritt zum Bilden des Kanals umfaßt vorzugsweise einen Schritt zum Steuern der Werte von Spannungen, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um einen Kanal zu bilden, der einen Kanalwiderstand unterhalb der beiden Speicherbereiche hat, der gegenüber einem Kanalwiderstand unterhalb der dielektrischen Einzellagenschicht zwischen den beiden Verunreinigungsbereichen verschieden ist.

[0050] Auf diese Weise werden bei dem Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers gemäß dem zweiten oder dritten Merkmal der Erfindung Daten durch sogenannte CHE-Ladungsinjektion geschrieben oder gelöscht.

[0051] In diesem Zeitpunkt wird beispielsweise der Kanalwiderstand höher im inneren Kanalbereich unterhalb der Steuergateelektrode und niedriger in den beiden äußeren Kanalbereichen. Damit werden die Spannungen, die an diese drei Kanalbereiche angelegt werden, zu Werten, die durch proportionales Verteilen der Drainspannung erhalten werden, die zwischen den beiden Verunreinigungsbereichen durch die äquivalenten seriellen Widerstandswerte angelegt wird. In diesem Fall wird der Spannungsabfall am höchsten im inneren Kanalbereich. In diesem Bereich wird die Drainspannung wirksam in Energie von Trägern, die in den Kanal injiziert wurden, umgesetzt. Insbesondere verschieben sich, wenn die Steuergatelänge verkürzt wird, nämlich die Länge des inneren Kanalbereichs, sich die Träger quasi-ballistisch im hohen elektrischen Feldbereich, werden fast ohne irgendeinen Energieverlust beschleunigt und werden zu den äußeren Kanalbereichen unterhalb des Speicherbereichs emittiert. Somit vergrößert sich bei der vorliegenden Erfindung das Verhältnis der Ladungen in den hohen Energieladungen, die emittiert werden, welche die Energiebarriere der Bodenisolationsschicht im Speicherbereich der Ladungsspeicherschicht überwinden können, und daher wird die Wirksamkeit der Ladungsinjektion höher als im herkömmlichen Fall, wo keine Widerstandsdifferenz im Kanal vorhanden ist.

[0052] Weiter wird bei der vorliegenden Erfindung, da der Ladungshaltebereich sich nicht mehr als die Größe des Speicherbereichs erstreckt, sogar wenn ein Überschreiben auftritt, der Verteilungsbereich der Schwellenwertspannung sich nicht stark zur Schreibseite hin ausdehnen. Da außerdem der Ladungshaltebereich beschränkt ist, wird ein Überschreiben nicht leicht auftreten.

[0053] Weiter wird im Zeitpunkt des Überschreibens die Ladung rundherum in die Ladungsspeicherschicht an der Seite der Steuergateelektrode ebenfalls schleichen, wobei es jedoch keine Notwendigkeit gibt, die Ladung, die an dieser Seite gehalten wird, im Zeitpunkt des Löschsens zu extrahieren, da diese fast keinen Effekt auf den Kanal hat. Somit besteht sogar beim Überschreiben nicht die Notwendigkeit, die Löschzeit um diesen Betrag zu verlängern.

[0054] Eine Leseoperation bei dem Operationsverfahren eines nichtflüchtigen Halbleiterspeichers gemäß des zweiten und dritten Merkmals der Erfindung umfaßt das Lesen von 2 Bits von gespeicherten Daten unabhängig durch ähnliche Leseoperationen, bei denen die Source und der Drain umgeschaltet werden, so daß der Verunreinigungsbereich der Seite, die gelesen wird, zur Source wird.

[0055] Gemäß einem vierten Merkmal der vorliegenden Erfindung wird ein Verfahren zum Betreiben eines nicht-

flüchtigen Halbleiterspeichers bereitgestellt, welches Speicherzellen umfaßt, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede Speicherzelle einen Kanalbildungsbereich umfaßt, der einen ersten Leitfähigkeitstypus-Halbleiter umfaßt, zwei Verunreinigungsgebiete, die einen zweiten Leitfähigkeitstypus-Halbleiter umfassen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten aufweist und eine Ladungsspeicherfähigkeit hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebichtsseiten überlappen, einer dielektrischen Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Speichergateelektrode unter mehreren Zellen in der Trennrichtung der Verunreinigungsgebiete anteilig aufgeteilt ist und eine Wortleitung umfaßt; wobei jede der beiden Verunreinigungsgebiete unter mehreren Zellen in der Richtung senkrecht zur Wortleitung anteilig aufgeteilt ist und eine Bitleitung umfaßt; und wobei die Steuergateelektrode parallel zur Bitleitung angeordnet ist und unter mehreren Zellen in einer Richtung senkrecht zur Wortleitung anteilig aufgeteilt ist, wobei das Verfahren eine Leseoperation umfaßt, die einen Schritt zum Anlegen einer Spannung einer Richtung umfaßt, die eine Vorwärtsspannung an den Kanalbildungsbereich zu einer nicht-ausgewählten Wortleitung liefert in einer Reihe, die keine Speicherzelle, die zu lesen ist, umfaßt.

[0056] Durch Anlegen einer Spannung in einer Richtung, die eine Vorwärtsspannung an die nicht-ausgewählten Reihen liefert, wird die Potentialbarriere der Source in bezug auf den Kanal höher und ein Anstieg des Leckstroms aufgrund des sogenannten DIBL-Effekt wird unterdrückt.

[0057] Das Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers gemäß einem fünften Merkmal der vorliegenden Erfindung dient dazu, die zweite Aufgabe der vorliegenden Erfindung zu lösen und bezieht sich auf mehrere Operationen (Schreiben, Lesen und Löschen) einer sogenannten VG-Speicherzellenmatrix. In einer VG-Speicherzellenmatrix ist die Speicherzellenmatrix durch Anordnen von mehreren Speicherzellen, die in einer Matrix angeordnet sind, aufgebaut. Jede Speicherzelle umfaßt einen Kanalbildungsbereich, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsgebiete, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten umfaßt und die eine Ladungsspeicherfähigkeit hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebichtsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht. Die Speichergateelektroden in der gleichen Reihe sind über eine Wortleitung verbunden. Jeder der beiden Verunreinigungsgebiete ist längs in der Spaltenrichtung angeordnet und zwischen Speicherzellen, die in der Reihenrichtung angrenzen, gemeinsam genutzt. Die Steuergateelektrode ist längs in der Spaltenrichtung angeordnet und unter Zellen in der gleichen Spalte gemeinsam genutzt.

[0058] Das Verfahren zum Betreiben umfaßt die Schritte, die Steuergateelektrode anzusteuern, um die Speicherzellen-

matrix elektrisch zu teilen und um die Verunreinigungs-
bereiche und die Wortleitungen anzusteuern, um parallel meh-
rere Speicherzellen in einer unterteilten Speicherzellenma-
trix zu beschreiben, zu lesen oder zu löschen.

[0059] Vorzugsweise umfaßt das Verfahren folgende Schritte:

Anlegen bei jeder bestimmten Anzahl von Steuergateelektroden einer Ausschaltspannung, um eine Speicherzelle in einem inaktiven Zustand zu verschieben, wo es unmöglich ist, den Kanal einzuschalten;

Schreiben, Lesen oder Löschen parallel in Speicherzellen im aktiven Zustand zwischen Speicherzellen, die aufgrund der Teilung in den inaktiven Zustand versetzt sind; und
Wiederholung des Teilungsschritts der Speicherzellenmatrix und des Schreib-, Lese- oder Löschschritts der Speicherzellen im aktiven Zustand, wobei die Steuergateelektroden, an denen die Ausschaltspannung angelegt ist, in einer Richtung verschoben werden.

[0060] Bei dem Operationsverfahren gemäß dem fünften Merkmal der vorliegenden Erfindung wird die Steuergateelektrode als Einrichtung verwendet, um das Teilen der Speicherzellenmatrix zu steuern. Wenn nämlich eine Einschaltspannung angelegt wird, um das Steuergate einzuschalten, kann ein Kanal gebildet werden, während, wenn eine Ausschaltspannung angelegt wird, um das Steuergate auszuschalten, kann ein Kanal nicht gebildet werden ungeachtet des Vorhandenseins eines Anlegens einer Drainspannung. Wenn der Ausschaltzustand des Steuergates für jede vorher-festgelegte Anzahl von Speicherzellen in der Wortleitungsrichtung zyklisch wiederholt wird, wird eine serielle Operation für aktive Speicherzellen zwischen den Ausschaltzustand-Steuergates möglich.

[0061] Um die dritte Aufgabe zu lösen, wird gemäß einem sechsten Merkmal der vorliegenden Erfindung ein Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers bereitgestellt, welches mehrere Speicherzellen umfaßt, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede Speicherzelle einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsgebiete, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten umfaßt und die eine Ladungsspeicherfähigkeit hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebiete überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Speichergateelektroden in der gleichen Reihe durch eine Wortleitung verbunden sind; jeder der beiden Verunreinigungsgebiete längs in der Spaltenrichtung angeordnet ist und zwischen Speicherzellen, die in der Reihenrichtung angrenzen, genutzt werden; und die Steuergateelektrode längs in der Spaltenrichtung angeordnet ist und zwischen Speicherzellen in der gleichen Spalte gemeinsam genutzt wird, wobei das Verfahren eine Schreiboperation umfaßt, welches folgende Schritte aufweist:

abwechselndes Anlegen einer Schreib-Drain-Spannung und einer Referenzspannung an die Verunreinigungsgebiete in der Speicherzellenmatrix;

Anlegen einer Einschaltspannung (ON) zum Verschieben eines Kanals von einem Ausschaltzustand (OFF) zu einem möglichen Einschaltzustand (ON) an die Steuergateelektrode in Kombination gemäß den zu schreibenden Daten;

Auswählen eines Speicherbereichs, der zwischen der Steuergateelektrode, an die die Einschaltspannung angelegt ist, und dem Verunreinigungsgebiet, an den die Schreib-Drain-Spannung angelegt ist, angeordnet ist;

5 Anlegen einer bestimmten Spannung an eine Wortleitung einer ausgewählten Reihe, in die die Daten zu schreiben sind, um den Kanal unterhalb dem ausgewählten Speicherbereich einzuschalten und um einen Teil der Träger, die im Kanal injiziert sind, in den ausgewählten Speicherbereich zu injizieren;

10 Nochmals-Anlegen der Schreib-Drain-Spannung und der Referenzspannung an die Verunreinigungsgebiete in der Speicherzellenmatrix, wobei die Anlegungsorte umgeschaltet werden;

15 Nochmals-Anlegen der Einschaltspannung an die Steuergateelektrode in Kombination gemäß den zu schreibenden Daten;

Auswählen des verbleibenden Speicherbereichs, der gegenüber dem obigen Speicherbereich verschieden ist; und

20 Nochmals-Anlegen der Spannung an die Wortleitung und Einschalten des Kanals unterhalb des ausgewählten Speicherbereichs und Injizieren eines Teils des Trägers, die im Kanal injiziert sind, in den ausgewählten Speicherbereich.

[0062] Wenn Daten in die gesamte Speicherzellenmatrix geschrieben werden, wobei das Operationsverfahren gemäß dem sechsten Merkmal verwendet wird, umfaßt das Verfahren vorzugsweise folgende Schritte:

Fixieren des Potentials der Verunreinigungsgebiete und in diesem Zustand sukzessives Auswählen der Wortleitung, mit der die mit Daten zu beschreibende Speicherzelle verbunden wird, und Wiederholen der Auswahl des Speicherbereichs und der Trägerinjektion in den ausgewählten Speicherbereich, während das Anlegen der Einschaltspannung an die Steuergateelektrode gemäß den zu schreibenden Daten für jede ausgewählte Wortleitung für alle Wortleitungen in der Speicherzellenmatrix geändert wird;

35 Nochmals-Anlegen der Schreib-Drain-Spannung und der Referenzspannung an die Verunreinigungsgebiete in der Speicherzellenmatrix, während die Anlegungsorte umgeschaltet werden; und

40 Fixieren des Potentials der Verunreinigungsgebiete und in diesem Zustand sukzessives Auswählen der Wortleitung, mit der die mit Daten zu beschreibende Speicherzelle verbunden ist, und Wiederholen der Auswahl des Speicherbereichs und der Trägerinjektion in den ausgewählten Speicherbereich, während das Anlegen der Einschaltspannung an die Steuergateelektrode gemäß den zu schreibenden Daten für jede ausgewählte Wortleitung für alle Wortleitungen in der Speicherzellenmatrix geändert wird.

50 [0063] Um allgemein eine Zelle am schnellsten zu betreiben, ist es notwendig, die Anzahl von Lade- und Entladezyklen eines Signals oder von Spannungsversorgungsleitungen zu minimieren. Insbesondere ist es notwendig, die Anzahl von zeitaufwendigen Potentialänderungszyklen zum Laden und zum Entladen zu minimieren. Hier nimmt man an, daß die gemeinsamen Leitungen die meiste Zeit zum Laden und Entladen in Anspruch nehmen, da die Verunreinigungsgebiete einen hohen Widerstand haben und die RC-Zeitkonstante, die durch den Widerstand R und die Kapazität C festgelegt ist, groß ist.

60 [0064] Bei dem obigen Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers gemäß dem sechsten Merkmal der vorliegenden Erfindung endet sowohl, wenn Speicherzellen in der gleichen Reihe beschrieben werden, als auch, wenn die gesamte Speicherzellenmatrix beschrieben wird, die aus mehreren Reihen besteht, das Schreiben aller Speicherzellen, wobei die Potentiale von Verunreinigungsgebieten zwischen dem hohen Pegel und dem niedri-

gen Pegel einmal angehoben und abgesenkt werden. Daher ist die Zeit für eine Schreiboperation einschließlich einer Potentialänderung von Signalen oder Spannungsversorgungsleitungen kurz.

[0065] Um die dritte Aufgabe zu lösen, wird gemäß einem siebten Merkmal der vorliegenden Erfindung ein Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers bereitgestellt, der Zellen aufweist, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede Speicherzellen einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsbereiche, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten umfaßt und die eine Ladungsspeichereigenschaft hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Speichergateelektroden in der gleichen Reihe über eine Wortleitung verbunden sind; jede der beiden Verunreinigungsbereiche längs in der Spaltenrichtung angeordnet ist und unter Speicherzellen, die in der Reihenrichtung angrenzen, gemeinsam genutzt wird; und die Steuergateelektrode längs in der Spaltenrichtung angeordnet ist und unter Speicherzellen in der gleichen Spalte gemeinsam genutzt wird, welches das Lesen durch einen ersten Leseschritt zum Lesen eines Speicherbereichs von ungeradzahlig-numerierten Speicherzellen in der gleichen Reihe in der Speicherzellenmatrix umfaßt (anschließend als "Leseschritt (1)" bezeichnet), durch einen zweiten Leseschritt zum Lesen des anderen Speicherbereichs der ungeradzahlig-numerierten Speicherzellen, die in der gleichen Reihe enthalten sind (anschließend als "Leseschritt (2)" bezeichnet), durch einen dritten Leseschritt zum Lesen eines Speicherbereichs von geradzahlig-numerierten Speicherzellen in der gleichen Reihe (anschließend als "Leseschritt (3)" bezeichnet), und durch einen vierten Leseschritt zum Lesen des anderen Speicherbereichs der geradzahlig-numerierten Speicherzellen in der gleichen Reihe (anschließend als "Leseschritt (4)" bezeichnet).

[0066] Vorzugsweise umfaßt die Leseoperation folgende Schritte:

Zurücksetzen, um eine Referenzspannung an alle Verunreinigungsbereiche anzulegen und um eine Ausschaltspannung an alle Steuergateelektroden anzulegen;

Auswählen der ungeradzahlig-numerierten Speicherzellen oder der geradzahlig-numerierten Speicherzellen durch abwechselndes Anlegen an die Steuergateelektroden in der Speicherzellenmatrix einer Einschaltspannung, um einen Kanal von einem Ausschaltzustand zu einem möglichen Einschaltzustand zu verschieben, und eine Ausschaltspannung, um den Kanal im Ausschaltzustand zu halten;

Ändern der Speicherzellen, die durch Umschalten des Anlegens der Einschaltspannung und der Ausschaltspannung ausgewählt wurden;

abwechselndes Anlegen an die Verunreinigungsbereiche in der Speicherzellenmatrix der Referenzspannung und der Lese-Drain-Spannung, um ein Paar der Speicherbereiche auf den beiden Seiten eines Verunreinigungsbereichs auszuwählen, an den die Referenzspannung angelegt wird; und Ändern des Paares von Speicherbereichen, die durch Umschalten des Anlegens der Referenzspannung und der Lese-Drain-Spannung ausgewählt wurden.

[0067] Insbesondere umfaßt eine Leseoperation bezüglich mehrerer Speicherzellen in der gleichen Reihe folgende Schritte:

Zurücksetzen;

5 Auswählen eines Paares von Speicherbereichen;

Durchführen einer ersten Leseoperation durch Auswählen einer Speicherzelle;

Durchführen einer zweiten Leseoperation durch Ändern der ausgewählten Speicherzelle;

10 Zurücksetzen;

Durchführen einer dritten Leseoperation durch Auswählen einer Speicherzelle; und

Durchführen einer vierten Leseoperation durch Ändern der ausgewählten Speicherzelle.

15 [0068] Wenn dieses Operationsverfahren gemäß dem siebten Merkmal verwendet wird, um die gesamte Speicherzellenmatrix zu lesen, fixiert ein bevorzugtes erstes Verfahren die Zustände des Anlegens einer Spannung an die Verunreinigungsbereiche und die Steuergateelektroden und führt wiederholt einen der obigen Schritte (1), (2), (3) und (4) gemäß der Auswahl der Verunreinigungsbereiche und Steuergates für alle Wörter in der Speicherzellenmatrix durch. Danach ändert dieses die Spannungsanlegungszustände der Steuergateelektroden (durch abwechselndes Umschalten) und führt dann wiederholt einen der obigen Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, wobei die Potentiale der Steuergateelektroden und der Verunreinigungsbereiche für alle Reihen in der Speicherzellenmatrix fixiert sind. Danach ändert das

Verfahren die Spannungsanlegungszustände der Verunreinigungsbereiche (schaltet diese alternativ um) und führt wiederholt einen der obigen Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, bei denen die Potentiale der Steuergateelektroden und der Verunreinigungsbereiche für alle Reihen in der Speicherzellenmatrix fixiert sind. Danach ändert sie die Spannungsanlegungszustände der Steuergateelektroden (schaltet diese alternativ um) und führt wiederholt einen der obigen Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, wenn die Potentiale der Steuergateelektroden und der Verunreinigungsbereiche für alle Reihen in der Speicherzellenmatrix fixiert sind.

[0069] Bei diesem ersten Verfahren kann die Reihenfolge des Umschaltens des Anlegens einer Spannung an die Verunreinigungsbereiche und das Umschalten der Anlegung einer Spannung an die Steuergateelektroden umgekehrt werden. Ein bevorzugtes zweites Verfahren fixiert nämlich die Zustände des Anlegens einer Spannung an die Verunreinigungsbereiche und die Steuergateelektroden, wobei dann

50 wiederholt einer der obigen Leseschritte (1), (2), (3) und (4) gemäß der Auswahl der Verunreinigungsbereiche und der Steuergates bezüglich aller Reihen in der Speicherzellenmatrix durchgeführt wird. Danach ändert dieses den Spannungsanlegungszustand der Verunreinigungsbereiche (schaltet diese abwechselnd um) und führt dann wiederholt einen der obigen Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, wenn die Potentiale der Verunreinigungsbereiche und der Steuergateelektroden für alle Reihen in der Speicherzellenmatrix fixiert sind. Danach

ändert das Verfahren die Spannungsanlegungszustände der Verunreinigungsbereiche (schaltet diese abwechselnd um) und führt wiederholt einen der obigen Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, wenn die Potentiale der Steuergateelektroden und der Verunreinigungsbereiche für alle Reihen in der Speicherzellenmatrix fest sind. Danach ändert dieses die Spannungsanlegungszustände der Steuergateelektroden (schaltet diese abwechselnd um) und führt dann wiederholt eine der obigen

60

65

Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, wenn die Potentiale der Steuergateelektroden und der Verunreinigungsbereiche für alle Reihen in der Speicherzellenmatrix fest sind. Danach ändert es den Spannungsanlegezustand der Verunreinigungsbereiche (schaltet diese abwechselnd um) und führt dann wiederholt eine der obigen Leseschritte (1), (2), (3) und (4) durch, die unter den Bedingungen durchführbar sind, wenn die Potentiale der Verunreinigungsbereiche und der Steuergateelektroden für alle Reihen in der Speicherzellenmatrix fest sind.

[0070] Bei dem obigen Verfahren zum Betreiben eines nichtflüchtigen Halbleiterspeichers gemäß dem siebten Merkmal der vorliegenden Erfindung endet sowohl, wenn Speicherzellen in der gleichen Reihe gelesen werden, als auch, wenn die gesamte Speicherzellenmatrix gelesen wird, die aus mehreren Reihen besteht, das Lesen aller Speicherzellen, wenn die Potentiale von Verunreinigungsbereichen zwischen dem hohen Pegel und dem niedrigen Pegel einmal angehoben und abgesenkt werden. Daher ist die Zeit für eine Leseoperation inklusive einer Änderung des Potentials von Signalen oder der Spannungsversorgungsleitungen kurz.

[0071] Um die erste und zweite Aufgabe zu lösen, wird gemäß einem achten Merkmal der vorliegenden Erfindung ein Verfahren zum Herstellen eines nichtflüchtigen Halbleiterspeichers bereitgestellt, welcher eine Speicherzelle aufweist, die einen Kanalbildungsbereich umfaßt, die einen ersten Leitfähigkeitstypus-Halbleiter umfaßt, zwei Verunreinigungsbereiche, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzt, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die die beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode auf den Speicherbereichen, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht, wobei das Verfahren folgende Schritte umfaßt:

Bilden auf dem ersten Leitfähigkeitstypus-Halbleiter eines Musters der dielektrischen Einzellagenschicht und der Steuergateelektrode auf der dielektrischen Schicht;

Bilden der Ladungsspeicherschicht, welche die Oberfläche des Musters und die Oberfläche des ersten Leitfähigkeitstypus-Halbleiters überdeckt;

Bilden von Seitenwänden, die aus einem leitfähigen Material bestehen, die den Seitenflächen des Musters über die Ladungsspeicherschicht auf dem Teil der Ladungsspeicherschicht, die den Speicherbereich bildet, zugewandt sind;

Dotieren einer zweiten Leitfähigkeitstypus-Verunreinigung in den ersten Leitfähigkeitstypus-Halbleiter außerhalb der Seitenwände, wobei die Seitenwände und das Muster als Masken verwendet werden, um die beiden Verunreinigungsbereiche zu bilden, die einen zweiten Leitfähigkeitstypus aufweisen; und

Bilden einer leitfähigen Schicht, um die Speichergateelektrode zusammen mit den Seitenwänden zu bilden und zum Bearbeiten der leitfähigen Schicht, um die Speichergateelektrode zu bilden.

[0072] Vorzugsweise umfaßt das Verfahren folgende Schritte:

Dotieren einer Verunreinigung, um die Schwellenwertspannung eines Teils des Kanalbildungsbereichs unter der Steuergateelektrode zu bilden, in einen Gesamtoberflächenbereich des ersten Leitfähigkeitstypus-Halbleiters;

Bilden des Musters; und

Hinzufügen der Verunreinigung zu einem Teil des Kanalbildungsbereichs um das Muster herum, um dessen Schwellenwertspannung einzustellen.

[0073] Bei diesem Verfahren kann durch genaues Hinzufügen zu einem herkömmlichen Herstellungsverfahren der Speicherzelle, die in der Lage ist, zwei Bits zu speichern, ein Bildungsschritt eines gestapelten Musters einer dielektrischen Einzellagenschicht, die keine Ladungsspeicherfähigkeit und eine Steuergateelektrode hat, eine Speicherzelle, die gute Effekte wie oben erwähnt mit sich bringt, hergestellt werden.

Kurzbeschreibung der Zeichnungen

[0074] Diese und weitere Aufgaben und Merkmale der vorliegenden Erfindung werden aus der folgenden Beschreibung von bezogenen Ausführungsformen deutlicher, die mit Hilfe der beiliegenden Zeichnungen angegeben wird, in denen:

[0075] Fig. 1A und 1B eine Querschnittsansicht und eine Draufsicht der Speicherzelle gemäß der ersten Ausführungsform ist;

[0076] Fig. 2 ein äquivalentes Schaltungsdiagramm einer Speicherzelle gemäß der ersten bis fünften Ausführungsform der vorliegenden Erfindung ist;

[0077] Fig. 3 ein Schaltungsdiagramm einer sogenannten getrennten Source-Zeilen-NOR-Speicherzellenmatrix unter den Speicherzellenmatrizen gemäß der ersten bis fünften Ausführungsform der vorliegenden Erfindung ist;

[0078] Fig. 4 ein Schaltungsdiagramm einer sogenannten VG-Speicherzellenmatrix unter den Speicherzellenmatrizen gemäß der ersten bis fünften Ausführungsform der vorliegenden Erfindung ist;

[0079] Fig. 5A bis 5D Querschnittsansichten einer Speicherzelle gemäß der ersten Ausführungsform der vorliegenden Erfindung sind, wobei Fig. 5A den Zustand nach Bildung einer Steuergateelektrode, Fig. 5B den Zustand im Zeitpunkt der Gegendotierung, Fig. 5C den Zustand nach Bildung einer Seitenwand und Fig. 5D den Zustand nach Bildung einer Speichergateelektrode zeigt;

[0080] Fig. 6A und 6B Ansichten eines ersten Verfahrens sind, bei dem die CHE-Injektion als Schreibverfahren gemäß der ersten bis fünften Ausführungsform der vorliegenden Erfindung verwendet wird;

[0081] Fig. 7 eine Ansicht eines zweiten Verfahrens ist, bei dem die Injektion von Hochenergieladungen durch Lawinendurchbruch als Schreibverfahren gemäß der ersten bis fünften Ausführungsform der vorliegenden Erfindung verwendet wird;

[0082] Fig. 8 eine Draufsicht einer Speicherzelle gemäß einer zweiten Ausführungsform der vorliegenden Erfindung ist;

[0083] Fig. 9A bis 9C Querschnittsansichten einer Speicherzelle gemäß der zweiten Ausführungsform der vorliegenden Erfindung sind, wobei Fig. 2A eine Querschnittsansicht längs der Linie A-A von Fig. 8 ist, Fig. 2B eine Querschnittsansicht längs der Linie B-B von Fig. 8 ist und Fig. 2C eine Querschnittsansicht längs der Linie C-C von Fig. 8 ist;

[0084] Fig. 10A bis 10D Querschnittsansichten einer Speicherzelle gemäß der zweiten Ausführungsform der vorliegenden Erfindung sind, wobei Fig. 10A den Zustand nach Bildung der Muster der Steuergateelektrode, Fig. 10B den Zustand nach dem Zeitpunkt des Gegendotierens, Fig. 10C den Zustand nach Bildung einer Seitenwand und Fig. 10D den Zustand nach Bildung einer Speichergateelektrode zeigt;

[0085] Fig. 11 eine Draufsicht einer Speicherzelle gemäß

der dritten Ausführungsform der vorliegenden Erfindung ist; **[0086]** Fig. 12A bis 12D Querschnittsansichten einer Speicherzelle gemäß der dritten Ausführungsform der vorliegenden Erfindung sind, wobei Fig. 12A den Zustand nach Bildung des Musters der Steuergateelektrode, Fig. 12B den Zustand im Zeitpunkt einer Gegendotierung, Fig. 12C-1 den Zustand nach Bildung von S/D-Verunreinigungs-bereichen, Fig. 12C-2 den Zustand nach Bildung einer Ladungsspeicherschicht und Fig. 12D den Zustand nach Bildung einer Speichergateelektrode zeigt;

[0087] Fig. 13 eine Ansicht ist, um den Fall zum Schreiben von 12 Datenbits (1, 0, 1, 0, 0, 0, 0, 1, 0, 1, 1, 1) in zwei Reihen der sechs Speicherzellen durch einen parallelen Schreibbetrieb durch zwei CHE-Injektionsschreiboperationen zu erklären;

[0088] Fig. 14 ein Schaltungsdiagramm ist, um die erste serielle Schreiboperation einer VG-Zellenmatrix gemäß der vierten Ausführungsform zu erläutern;

[0089] Fig. 15 ein Schaltungsdiagramm ist, um die zweite serielle Schreiboperation einer VG-Zellengruppe gemäß der vierten Ausführungsform zu erläutern;

[0090] Fig. 16 ein Schaltungsdiagramm ist, um die erste serielle Leseoperation einer VG-Zellengruppe gemäß der vierten Ausführungsform zu erläutern;

[0091] Fig. 17 ein Schaltungsdiagramm ist, um die zweite serielle Leseoperation einer VG-Zellengruppe gemäß der vierten Ausführungsform zu erläutern;

[0092] Fig. 18 ein Schaltungsdiagramm ist, um die dritte serielle Leseoperation einer VG-Zellengruppe gemäß der vierten Ausführungsform zu erläutern;

[0093] Fig. 19 ein Schaltungsdiagramm ist, um die vierte serielle Leseoperation einer VG-Zellengruppe gemäß der vierten Ausführungsform zu erläutern;

[0094] Fig. 20 ein Schaltungsdiagramm ist, um die Spannungsanlegungszustände bei einer ersten seriellen Leseoperation einer getrennten Source-Zeilen-NOR-Speichermatrix gemäß einer fünften Ausführungsform der vorliegenden Erfindung zu zeigen; und

[0095] Fig. 21 ein Schaltungsdiagramm ist, welches die Spannungsanlegungszustände bei einer ersten seriellen Leseoperation einer VG-Zellenmatrix gemäß einer fünften Ausführungsform der vorliegenden Erfindung zu zeigen.

Beschreibung der bevorzugten Ausführungsformen

[0096] Anschließend werden bevorzugte Ausführungsformen mit Hilfe der beiliegenden Zeichnungen beschrieben, wobei als Beispiel ein nichtflüchtiger Halbleiterspeicher hergenommen wird, der einen n-Kanal-MONOS-Speichertransistor hat. Es sei angemerkt, daß im Fall eines p-Kanal-Typus die folgende Beschreibung ähnlich angewandt werden kann, wobei die Leitfähigkeitstypen von Verunreinigungen in den Halbleitern und die Polaritäten der Träger und der Spannungsanlegungszustände umgedreht werden.

Erste Ausführungsform

[0097] Fig. 1A ist eine Querschnittsansicht des Aufbaus einer Speicherzelle gemäß der ersten Ausführungsform, wobei Fig. 1B eine Draufsicht davon ist. Außerdem ist Fig. 2 ein äquivalentes Schaltungsdiagramm dieser Speicherzelle.

[0098] Bei der in Fig. 1A gezeigten Speicherzelle zeigt das Bezugszeichen 1 ein Substrat, welches aus einem Halbleitermaterial besteht, beispielsweise aus Silizium, und in welchem ein Halbleiterelement gebildet ist (beispielsweise ein p-Typus-Halbleitersubstrat, eine p-Senke oder eine p-Typus-SOI-Lage, die anschließend als "Substrat" bezeichnet werden).

[0099] Im Oberflächenbereich des Substrats 1 sind zwei Verunreinigungs-bereiche durch Dotieren von n-Typus-Verunreinigungen mit einer hohen Konzentration (Source- oder Drain-Bereiche-S/D) in einem Abstand voneinander gebildet.

[0100] Die S/D-Verunreinigungs-bereiche 2 sind, wie in Fig. 1B gezeigt ist, längs in einer Richtung und parallel zueinander angeordnet. Der Oberflächenbereich des Substrats zwischen den beiden S/D-Verunreinigungs-bereichen bildet einen Kanalbildungsbereich, in welchem ein Kanal eines Speichertransistors im Betriebszeitpunkt gebildet wird. Der Kanalbildungsbereich besteht aus einem inneren Kanalbereich Ch2, der im wesentlichen in dessen Mitte gebildet ist, und zwei äußeren Kanalbereichen Ch1a und Ch1b zwischen dem inneren Kanalbereich Ch2 und den S/D-Verunreinigungs-bereichen 2. Im inneren Kanalbereich Ch2 ist die Konzentration der aktivierten p-Typus-Verunreinigung höher als in den äußeren Kanalverunreinigungs-bereichen Ch1a und Ch1b, und die Schwellenwertspannung ist höher.

[0101] Eine einzelne dielektrische Gateschicht 4, die aus Siliziumdioxid einer Dicke von ungefähr 1 nm bis 10 nm besteht, ist im Innenkanalbereich Ch2 gebildet. Diese dielektrische Gateschicht 4 besteht aus einer einzelnen Lage und besitzt eine relativ kleine Anzahl von Trägerhaftstellen und besitzt keine Ladungsspeicherfähigkeit.

[0102] Auf der dielektrischen Gateschicht 4 ist eine Steuergateelektrode 5, die beispielsweise aus polykristallinem Silizium oder amorphem Silizium besteht, welches mit einer Verunreinigung dotiert ist, gebildet. Die Steuergateelektrode 5 ist, wie in Fig. 1b gezeigt ist, längs in einer Richtung parallel zu den S/D-Verunreinigungs-bereichen 2 innerhalb des Raums angeordnet, der die S/D-Verunreinigungs-bereiche 2 trennt. Das Steuergate 5 umfaßt eine Steuerleitung CL der Speicherzellenmatrix, wie später erläutert wird. Die Länge der Steuergateelektrode 5 ist nicht beschränkt. Wenn diese jedoch äußerst fein hergestellt sind, beispielsweise 50 nm, laufen die Träger im Kanal quasi-ballistisch. Obwohl nämlich die Träger von den elektrischen Feldzuständen abhängig sind, wenn die Gatelänge äußerst fein ausgebildet wird, laufen, wenn die Träger, die von der Source geliefert werden, sich im Kanal verschieben, wobei sie einer Streuung mit einem kleinen Winkel aufgrund der Verunreinigung unterliegen, diese ballistisch ohne große Winkelstreuung, was eine große Biegung ihrer Trajektorien verursacht.

[0103] Eine dielektrische Schicht 6 (Ladungsspeicherschicht), die aus mehreren Isolierschichten besteht und die eine Ladungsspeicherfähigkeit hat, ist gebildet, um die Oberfläche eines gestapelten Musters der dielektrischen Gateschicht 4 und der Steuergateelektrode und der Substratfläche zu überdecken.

[0104] Die Ladungsspeicherschicht 6 ist, in der Reihenfolge vom Boden her, durch eine dielektrische Bodenschicht 6₁, eine dielektrische Schicht 6₂ (Hauptladungs-Speicherschicht), um hauptsächlich eine Ladung zu speichern, und eine dielektrische Oberschicht 6₃ gebildet.

[0105] Als dielektrische Bodenschicht 6₁ wird beispielsweise eine Siliziumdioxidschicht, die durch thermische Oxidation gebildet ist, eine Schicht, die durch Nitridierung einer Siliziumdioxidschicht gebildet ist, usw., verwendet. Die Dicke der dielektrischen Bodenschicht 6₁ liegt beispielsweise in einem Bereich von 2,5 nm bis 6,0 nm.

[0106] Die Hauptladungs-Speicherschicht 6, besteht aus einer Siliziumnitridschicht mit einer Dicke von beispielsweise 3,5 nm bis 6,0 nm. Die Hauptladungs-Speicherschicht 6₁ besteht beispielsweise aus einer Niederdruck-CVD (LPCVD) und umfaßt eine große Anzahl von Trägerhaftstellen in der Schicht.

[0107] Wie für die dielektrische Kopfschicht 6₃ ist es noi-

wendig, tiefe Trägerhaftstellen mit einer hohen Dichte in der Nähe der Grenze mit der Hauptladungs-Speicherschicht 6₂ zu bilden. Zu diesem Zweck ist diese durch thermische Oxidation von einer geätzten Hauptladungs-Speicherschicht 6₂ gebildet. Auch die dielektrische Kopfschicht 6₃ kann eine hochtemperatur-chemisch-dampf abgeschiedene Oxidschicht (HTO) sein. Wenn die dielektrische Kopfschicht 6₃ durch CVD gebildet ist, werden die Haftstellen durch Wärmebehandlung gebildet. Für die Dicke der dielektrischen Kopfschicht 6₃ ist es erforderlich, daß diese zumindest 3,0 nm ist, vorzugsweise nicht weniger als 3,3 nm, um die Injektion von Löchern von der Gate-Elektrode (Wortleitung WL) effektiv zu blockieren und um eine Abnahme der Datenumschreibungen zu verhindern.

[0108] Auf der Ladungsspeicherschicht 6 ist eine Gate-Elektrode 7 eines Speichertransistors (anschließend als "Speichergateelektrode" bezeichnet) gebildet, die die Gate-Elektrode 5 schneidet. Die Speichergateelektrode 7 besteht beispielsweise aus polykristallinem Silizium oder amorphen Silizium, welches mit einer Verunreinigung dotiert ist, und, wie später erläutert wird, umfaßt eine Wortleitung WL der Speicherzellenmatrix.

[0109] Die so aufgebaute Speicherzelle M besteht aus drei Transistoren, d. h., einem Speichertransistor, einem MOS-Transistor und einem weiteren Speichertransistor, die seriell zwischen zwei Bitleitungen BL geschaltet sind. Die Gates der beiden Speichertransistoren werden durch die Wortleitung WL gesteuert, während ein Gate des mittleren MOS-Transistors durch eine Steuerleitung CL gesteuert wird, die parallel zu einer Bitleitung BL ist.

[0110] Eine Schwellenwertspannung des Speichertransistors im Löschzustand wird niedriger eingestellt als die Schwellenwertspannung des MOS-Transistors durch verschiedene Umstände, beispielsweise die Differenz der Kanalkonzentration und Materialien, der Dicke, und den Aufbau der dielektrischen Schichten 4 und 6.

[0111] Der mittlere MOS-Transistor arbeitet hauptsächlich so, um den Betrieb der Speichertransistoren (Schreiben, Lesen oder Löschen) zu unterstützen, um die Kennlinien zu verbessern oder um einen Kontaktbereich zwischen dem Substrat 1 und der Ladungsspeicherschicht 6 zu definieren. Der Bereich der Ladungsspeicherschicht 6, der mit dem Substrat 1 in Kontakt steht, der als "Speicherbereich" bezeichnet wird, ist ein Bereich, in welchen die Ladung injiziert wird und gehalten wird. Die dielektrische Einzellagenschicht zwischen den beiden Speicherbereichen 6a und 6b (dielektrische Gateschicht 4) kann nicht zur Datenspeicherung beitragen, da sie keine Ladungsspeicherfähigkeit besitzt. Es sei angemerkt, daß dieser Transistorbetrieb später ausführlich erläutert wird.

[0112] Fig. 3 und 4 zeigen zwei repräsentative Beispiele des Aufbaus einer Speicherzellenmatrix. Es sei darauf hingewiesen, daß Fig. 3 und 4 einen Teil einer Speicherzellenmatrix zeigen, die aus 6 x 3 Speicherzellen besteht.

[0113] Fig. 3 zeigt eine NOR-Speicherzellenmatrix mit S/D-Verunreinigungsbereichen, die in der Reihenrichtung getrennt sind. Diese NOR-Speicherzellenmatrix umfaßt Source- und Bitleitungen, die hierarchisch angeordnet sind, und Blöcke, die aus einer vorher festgelegten Anzahl von Speicherzellen bestehen, die parallel zwischen Sub-Source-Leitungen und Sub-Bitleitungen geschaltet sind, die Verunreinigungsbereiche umfassen, die weiter parallel mit höherlagigen Haupt-Source-Leitungen und Haupt-Bitleitungen verbunden sind. Obwohl die Funktionen der Source-Leitungen SL und der Bitleitungen BL mit ihren Namen in Fig. 3 gezeigt sind, sind diese Funktionen nicht auf eine MONOS-Speicherzelle fixiert, die in der Lage ist, zwei Bits pro Zelle zu speichern. Die Funktionen der Sourceleitungen SL und

der Bitleitungen BL werden nämlich demgemäß umgeschaltet, welches Bit von zwei Bits geschrieben oder gelesen werden soll.

[0114] Insbesondere sind beispielsweise Sourceleitungen SL₁, SL₂, ... SL₆, ... , die aus ungeradzahlig nummerierten S/D-Verunreinigungsbereichen 2 bestehen, und Bitleitungen BL₁, BL₂, ... BL₆, ... , die aus geradzahlig nummerierten S/D-Verunreinigungsbereichen bestehen, abwechselnd in der Reihenrichtung und längs und parallel in der Spaltenrichtung angeordnet. Normalerweise sind gemeinsame Leitungen SL_i und BL_i (i = 1, 2, ...), die von diesen Verunreinigungsbereichen umfaßt sind, geeignet für jede vorher-festgelegte Anzahl mit den oberen Metallzwischenverbindungen verbunden und hierarchisch der Reihe nach ausgeführt, um den Zwischenverbindungswiderstand zu reduzieren.

[0115] Außerdem sind Wortleitungen WLi, die aus den Speichergateelektroden 7 von Fig. 1 bestehen, längs und parallel in der Reihenrichtung angeordnet. Speicherzellen mit Verbindungen, die in Fig. 2 gezeigt sind, sind in der Nähe von Schnittpunkten der Paare der Sourceleitungen SL_i und der Bitleitungen BL_i und der Wortleitungen BL_i angeordnet.

[0116] In der ersten Reihe sind beispielsweise die Speicherzellen M₁₁, M₁₂, M₁₃, ... , parallel zwischen der Sourceleitung SL₁ und der Bitleitung BL₁ geschaltet, zwei Speichergateelektroden 7 der Speicherzelle M₁₁ sind mit der Wortleitung WL₁ verbunden, zwei Speichergateelektroden 7 der Speicherzelle M₁₂ sind mit der Wortleitung WL₂ verbunden, und zwei Speichergateelektroden 7 der Speicherzelle M₁₃ sind mit der Wortleitung WL₃ verbunden. Diese Verbindung wird für andere Reihen ebenso wiederholt.

[0117] Steuerleitungen CL₁, CL₂, CL₃, ... , die aus den Steuergateelektroden 5 bestehen, sind der Reihenrichtung angeordnet, die im wesentlichen die mittleren Punkte der Speicherzellenreihen schneiden.

[0118] Schaltungen, um diese gemeinsamen Leitungen zu steuern, sind nicht gezeigt. Die Sourceleitungen SL und die Bitleitungen BL werden durch einen Spaltendecoder gesteuert, die Wortleitungen WL werden durch einen Reihendecoder gesteuert, und die Steuerleitungen CL werden durch eine Spaltenteilungs-Steuerschaltung gesteuert.

[0119] Fig. 4 zeigt eine sogenannte VG-Speicherzellenmatrix, die eine Art von NOR-Typus ist.

[0120] In der in Fig. 4 gezeigten Speicherzellenmatrix werden die Bitleitungen BL_i und die Sourceleitungen SL_i + 1, die in Fig. 3 angrenzen, durch eine einzige Querverbindung gemeinsam genutzt. Insbesondere bestehen die Querverbindungen in der Spaltenrichtung aus den Bitleitungen BL₁, BL₂, ... BL₇, ... , die als auch Sourceleitungen dienen, und den Steuerleitungen CL₁, CL₂, ... CL₆, die abwechselnd in der Reihenrichtung angeordnet sind. Der Rest des Aufbaus ist der gleiche wie in Fig. 3.

[0121] Bei einer derartigen VG-Speicherzellenmatrix wird im Vergleich zu Fig. 3 der Raum zum Anordnen von einem S/D-Verunreinigungsbereich überflüssig, wodurch es mehr Raum für die oberen Metallquerverbindungen gibt, so daß der Zellenbereich klein wird.

[0122] Anschließend wird ein Herstellungsverfahren der Speicherzelle mit dem Aufbau von Fig. 1 unter Verwendung von Fig. 5A bis 5D erläutert.

[0123] Zunächst wird eine p-Senke oder eine SOI-Schicht, wenn benötigt, auf dem vorbereiteten Siliziumwafer usw. gebildet. Die Oberfläche des Halbleiters (Substrat 1), die auf diese Weise gebildet ist und auf welcher Transistoren zu bilden sind, ist beispielsweise thermisch oxidiert, um eine dielektrische Gateschicht 4 zu bilden. Die Gesamtoberfläche des Substrats 1 ist, um die relativ hohe Schwel-

lenwertspannung des mittleren MOS-Transistors festzulegen, durch Ionen-Implantation kanal-dotiert, wobei die dielektrische Gateschicht 4 als Durchgangsschicht verwendet wird. Daher wird, wie in Fig. 5A gezeigt ist, eine kanal-dotierte Schicht 1a mit einem hohen Schwellenwert zum Bilden des inneren Kanalbereichs Ca2, wie oben erwähnt, an Oberflächenbereich des Substrats 1 gebildet.

[0124] Anschließend wird ein verunreinigungs-dotiertes polykristallines Silizium oder amorphes Silizium auf der dielektrischen Gateschicht 4 abgelagert, danach in eine Längsleitung in der Spaltenrichtung strukturiert, um die Steuergateelektrode 5 zu bilden.

[0125] Wie in Fig. 5B gezeigt ist, wird durch Ionen-Implantation unter Verwendung der Steuergateelektrode 5 als Maske und der dielektrischen Gateschicht 4 als Durchgangsschicht eine umgekehrte Leitfähigkeits-Verunreinigung in den Oberflächenbereich des Substrats 1 beigemischt, welcher die Steuergateelektrode 5 umgibt (Gegendotierung). Aus diesem Grund wird im Oberflächenbereich des Substrats 1, der die Steuergateelektrode 5 umgibt, die p-Leitfähigkeit mehr geschwächt als im Bereich unterhalb der Steuergateelektrode 5. Als Folge davon fallen die Schwellenwertspannungen der äußeren Kanalbereiche Ch1a und Ch1b im Vergleich mit dem inneren Kanalbereich Ch2 in Fig. 1 ab. Daher ist es möglich, einen niedrigeren Kanalwiderstand zu erzielen, sogar dann, wenn die gleiche Spannung angelegt wird.

[0126] Anschließend wird, wie in Fig. 5C gezeigt ist, die dielektrische Gateschicht 4 zur gleichen Struktur verarbeitet, wobei die Steuergateelektrode 5 verwendet wird, danach wird eine Ladungsspeicherschicht 6 auf der Oberfläche der gestapelten Struktur dieser dielektrischen Gateschicht 4 und der Steuergateelektrode 5 und der Oberfläche des Substrats gebildet.

[0127] Insbesondere wird beispielsweise eine Wärmebehandlung durch schnelle thermische Oxidation (RTO) bei 1000°C und 10 Sekunden durchgeführt, um eine Siliziumdioxidschicht zu bilden (dielektrische Bodenschicht 6₁).

[0128] Anschließend wird eine Siliziumnitridschicht (Hauptladungs-Speicherschicht 6₂) auf der dielektrischen Bodenschicht 6₁ durch LP-CVD mit einer leicht größeren Dicke gebildet, um schließlich eine Enddicke von 6 nm zu ergeben. Diese CVD wird beispielsweise durchgeführt, wobei ein Gasgemisch aus Dichlorosilan (DCS) und Ammonium und eine Substrattemperatur von 730°C verwendet wird.

[0129] Die Oberfläche der gebildeten Siliziumnitridschicht wird dann durch thermische Oxidation oxidiert, um eine Siliziumdioxidschicht (dielektrische Kopfschicht 6₃) mit einer Dicke von beispielsweise 3,5 nm zu bilden. Diese thermische Oxidation wird beispielsweise in einer H₂O-Atmosphäre bei einer Brenntemperatur von 950°C 40 Minuten lang ausgeführt. Damit werden tiefe Trägerhaftstellen mit einem Haftwert (Energiedifferenz vom leitfähigen Band der Siliziumnitridschicht) mit weniger als ungefähr 2,0 eV bei einer Konzentration von ungefähr 1×10^{11} bis $1 \times 10^{13}/\text{cm}^2$ gebildet. Eine Siliziumdioxidschicht (dielektrische Kopfschicht 6₃) wird zu einer Dicke von 1,5 nm für jede Verminderung um 1 nm der Dicke der Hauptladungs-Speicherschicht 6₂ gebildet. Die Dicke der darunterliegenden Hauptladungs-Speicherschicht 6₂ wird um dieses Verhältnis reduziert, und die Enddicke der Hauptladungs-Speicherschicht 6₂ wird zu 6 nm.

[0130] Danach werden Seitenwände 7a, die aus leitfähigem Material bestehen, an den beiden Seitenflächen einer Stufe der Ladungsspeicherschicht 6 gebildet, die so ausgebildet sind, daß sie die Form der Steuergateelektrode 5 spiegeln. Insbesondere wird verunreinigt-dotiertes polykristalli-

nes Silizium oder amorphes Silizium dick aufgebracht und dann über deren Gesamtfläche unter streng-anisotropischen Zuständen mit dem Rücken geätzt.

[0131] Gemäß der Notwendigkeit werden Ionen an einer Schräge eingepflanzt, wobei die geformten Seitenwände 7a und das Steuergate 5 als Maske verwendet werden, um so die n-Verunreinigung oder die p-Verunreinigung 1b relativ tief in das Substrat 1 zu dotieren. Durch dieses Dotieren einer n-Verunreinigung oder p-Verunreinigung 1b in den Bereich unterhalb der Seitenwände 7a wird es möglich, die Schwellenwertspannung einzustellen oder die Lochdurchgangs-Lebensdauer zu verbessern.

[0132] Anschließend werden Ionen im wesentlichen senkrecht implantiert, wobei die Seitenwände 7a und die Steuergateelektrode 5 als Maske verwendet werden, um so eine n-Verunreinigung in Bereichen innerhalb der Substrataußen-seite der Seitenwände 7a zu dotieren und um die S/D-Verunreinigungsgebiete 2 zu bilden.

[0133] Danach wird beispielsweise polykristallines Silizium oder amorphes Silizium, welches mit Verunreinigungen unter den gleichen Bedingungen wie das Material der Seitenwände 7a dotiert ist, dick auf der Gesamtoberfläche aufgebracht, danach in eine Leitung längs der Richtung senkrecht zur Steuergateelektrode 5 strukturiert, um die Speichergateelektrode 7 (Wortleitung WL) zu bilden. Hier wird am Endpunkt dieses Ätzens die darunterliegende Ladungsspeicherschicht 6 an den beiden Seiten der Speichergateelektrode 7 in der Breitenrichtung in Fig. 1B belichtet. Gemäß der Notwendigkeit ist es auch möglich, absichtlich eine Überätzung durchzuführen, um die Ladungsspeicherfähigkeit dieses Teils der Ladungsspeicherschicht zu reduzieren. Es sei angemerkt, daß bei dem Speicherzellenaufbau nach der vorliegenden Ausführungsform es wenig Erzeugung von Rest von polykristallinem Silizium oder amorphem Silizium an der Umgebung der Stufe aufgrund der Steuergateelektrode 5 gibt, sogar dann, wenn nicht überätzt wird. Aufgrund des Ätzens unter Verwendung einer Maske blieb das Resist-Muster in einer Linienform beim Strukturieren der Steuergateelektrode 5. Sogar dann, wenn die Anisotropie des Ätzens stärker gemacht wird, spiegelt üblicherweise das Muster nach Bildung der Steuergateelektrode 5 die Querschnittsform des Resists und wird zu einer vorderen Abschrägung bis zu einem gewissen Ausmaß.

[0134] Danach wird, wenn benötigt, eine Zwischenisolationsschicht abgelagert, es werden Kontakte gebildet, und es wird die obere Querverbindungsschicht gebildet, um diesen nicht-flüchtigen Halbleiterspeicher zu vollenden.

[0135] Bei diesem Herstellungsverfahren gibt es im Vergleich zum herkömmlichen Verfahren zum Herstellen einer Zelle, die keine Steuergateelektrode hat, zusätzliche Schritte zum Bilden und zum Strukturieren der Schichten, um die dielektrische Gateschicht 4 und die Steuergateelektrode 5 zu bilden. Wenn eine Widerstandsdifferenz im Kanal vorgesehen wird, ist die Ioneninjektion zur Gegendotierung notwendig. Diese Schritte sind gering im Vergleich zum gesamten Herstellungsprozeß eines nichtflüchtigen Halbleiterspeichers und verursachen keine Vergrößerung der Herstellungskosten.

[0136] Außerdem ist der Aufbau sehr einfach und leicht zu bilden.

[0137] Anschließend werden die Operationen der Speicherzelle erläutert.

[0138] Für eine Schreiboperation gibt es das erste Verfahren, bei dem die CHE-Injektion verwendet wird, und das zweite Verfahren, bei dem die Injektion von hohen Energieladungen verwendet wird, die durch Lawinendurchbruch erzeugt werden. Das Prinzip der Schreiboperation des ersten Verfahrens ist in Fig. 6A und 6B gezeigt, während das Prin-

zip der Schreiboperation des zweiten Verfahrens in Fig. 7 gezeigt ist.

[0139] Beim ersten Verfahren wird eine Referenzspannung V_s an den Verunreinigungsbereich 2 angelegt, der zur Source wird, eine Drainspannung V_d wird an den anderen Verunreinigungsbereich 2 angelegt, der zum Drain wird, und eine vorher-festgelegte positive Spannung V_{eg} wird an die Steuergateelektrode 5 (Steuerleitung CL) angelegt, und eine weitere vorher-festgelegte positive Spannung V_{wg} wird an die Speichergateelektrode 7 angelegt (Wortleitung WL).

[0140] Unter diesen Bedingungen wird eine Inversionsschicht (Kanal) im Kanalbildungsbereich gebildet, Elektroden, die von der Source geliefert werden, werden im Kanal beschleunigt, und ein Teil wird zu einer hohen Energieladung (heiße Elektronen), die die Energiebarriere ϕ_{SiO_2} der Siliziumdioxidschicht überwinden, die die dielektrische Bodenschicht 6₋₁ der Ladungsspeicherschicht 6 umfaßt. Ein Teil der heißen Elektronen wird in den drain-seitigen Bereich der Ladungsspeicherschicht 6 (Speicherbereich 6b) mit einer bestimmten Wahrscheinlichkeit injiziert.

[0141] Um die Injektionseffektivität der heißen Elektronen im Kanal anzuheben, werden die Spannungen, die an die Steuergateelektrode 5 und an die Speichergateelektrode 7 angelegt werden, so gesteuert, um ein hohes elektrisches Feld längs der Kanalrichtung im ersten Leitfähigkeitstypus-Halbleiterbereich unter der Steuergateelektrode 5 zu erzeugen. Aufgrund dieser Tatsache ist es möglich, eine Verteilung des elektrischen Felds ähnlich der der source-seitigen Injektion, die auf dem Gebiet von Flashspeichern bekannt ist, in der Nähe des Injektionsbereichs zu bilden, und es ist möglich, die Injektions-Effektivität beispielsweise um drei Größenordnungen zu verbessern.

[0142] Die Elektronen im Kanal werden insgesamt beschleunigt, wobei einige Energie, die vom elektrischen Feld erhalten wird, aufgrund der Verunreinigungsstreuung oder Kollision mit dem Halbleitergitter verloren wird. Die unterbrochene Linie in Fig. 6B zeigt die Energie, wenn die gesamte Potentialenergie in kinetische Energie oder die Energie umgewandelt wird, die erhalten wird, wenn angenommen wird, daß die Elektroden durch ein elektrisches Feld in einem Vakuum beschleunigt werden. Die tatsächliche kinetische Energie von Elektronen haben, wie durch die durchgezogene Linie gezeigt ist, Spitzen in der Nähe des Drainendes, wobei der Energieverlust ansteigt, um so größer die Beschleunigung ist. Wenn der n-Typus-Verunreinigungsbereich 2b betreten wird, der mit Elektronen gefüllt ist, fällt die kinetische Energie rapide ab. Wenn der Spitzenpunkt von kinetischer Energie so groß wie möglich gemacht wird, wird die Injektions-Effektivität der heißen Elektronen verbessert.

[0143] Bei der vorliegenden Ausführungsform wird, indem eine Widerstandsdifferenz dem Kanal gegeben wird, der Widerstand des inneren Kanalbereichs Ch2 relativ vergrößert, das elektrische Feld in diesem Bereich wird vergrößert, und die Beschleunigungseffektivität wird verbessert. Damit werden die Elektroden energieartig höchstwirksam unmittelbar vor der Injektion erregt. Als Ergebnis wird die Effektivität der heißen Elektroneninjektion mehr als im üblichen Fall verbessert, wo keine Widerstandsdifferenz im Kanal vorhanden ist. Wenn insbesondere die innere Kanal-länge verkürzt wird, laufen die Elektroden quasi-ballistisch im elektrischen Hochenergiefeld, und die Effektivität der Injektion wird weiter verbessert. Außerdem ist eine source-seitige Injektion durch die Kanalsteuerung möglich, wobei die Steuergateelektrode verwendet wird, sogar, ohne eine Widerstandsdifferenz dem Kanal zu geben. Daher wird die Injektionseffektivität gegenüber früher verbessert.

[0144] Wenn dagegen gewünscht wird, den anderen Speicherbereich 6a zu beschreiben, werden die Relativspannungen der beiden Verunreinigungsbereiche 2 so umgeschaltet, daß heiße Elektronen in den Speicherbereich 6a durch ein ähnliches Prinzip injiziert werden. Wenn Elektronen injiziert werden, steigt die Schwellenwertspannung des Speichertransistors an, und der Schreibzustand wird erreicht.

[0145] Auf diese Weise werden 2 Bits von gespeicherten Daten unabhängig in eine Speicherzelle geschrieben.

[0146] Bei dem zweiten Schreibverfahren wird, wie in Fig. 7 gezeigt ist, eine negative Spannung V_{wg} an die Speichergateelektrode 7 (Wortleitung WL) angelegt, und eine positive Spannung V_d wird an den schreib-seitigen Verunreinigungsbereich 2 angelegt.

[0147] Unter diesem Zustand wird die Oberfläche des n-Verunreinigungsbereichs tief verarmt, und das Energieband wird scharf verbogen. Dann wird eine Inversionsschicht gebildet, und ein Lawinendurchbruch tritt auf. Elektronen und Lochpaare, die eine hohe Energie haben, werden im Prozeß bis zum Lawinendurchbruch erzeugt. Hochenergieelektronen werden durch die positive Spannung V_d gezogen und im n-Verunreinigungsbereich 2 absorbiert. Dagegen werden, während die meisten der Hochenergielöcher (heiße Löcher) zum Substrat 1 fließen, ein Teil zur Seite des Kanalbildungsbereichs treiben, diese dann durch das elektrische Feld der Speichergateelektrode 7 gezogen und überwinden die Siliziumdioxid-Schichtbarriere ϕ_{SiO_2} , um in die Ladungsspeicherschicht 6 injiziert zu werden.

[0148] Beim zweiten Verfahren können die heißen Löcher ähnlich in den Speicherbereich 6a auf der gegenüberliegenden Seite injiziert werden. Dieses Verfahren ermöglicht ein gleichzeitiges Schreiben die in beiden Speicherbereiche 6a und 6b, da kein Kanal gebildet wird.

[0149] Die Leseoperation verwendet das sogenannte Umkehrlesen. Das heißt, eine Drainspannung von beispielsweise 1,5 V bis 3,0 V wird zwischen den beiden S/D-Verunreinigungsbereichen 2 angelegt, so daß die Speicherbereichsseite, die zu lesende Daten speichert, zur Source wird und der andere Speicherbereich zum Drain wird, und vorher-festgelegte positive Spannungen werden an die beiden Gate-Elektroden 5 und 7 angelegt. Als Ergebnis wird die Kanal ein- oder ausgeschaltet oder Differenzen entstehen in der Menge des Stroms gemäß des Vorhandenseins einer Ladung im Speicherbereich, der zu lesen ist, oder der Differenz der Ladungsmenge. Als Folge davon entstehen Änderungen im Potential im drain-seitigen Verunreinigungsbereich. Durch Lesen der Änderung des Potentials durch einen nicht gezeigten Abtastverstärker kann die Logik der gespeicherten Daten unterschieden werden.

[0150] Der andere Speicherbereich wird in der gleichen Weise durch Umschalten der Source und des Drain gelesen. Aus diesem Grund können 2 Bits von gespeicherten Daten unabhängig gelesen werden.

[0151] Bei einer Löschoperation wird die gespeicherte Ladung entweder extrahiert oder es wird eine Ladung der entgegengesetzten Polarität injiziert. Im letzteren Fall wird, wenn die Daten durch das obige erste Verfahren geschrieben wurden, das zweite Verfahren für deren Löschung verwendet. Im Gegensatz dazu wird, wenn Daten durch das zweite Verfahren geschrieben wurden, das erste Verfahren für deren Löschung genutzt. Zum Löschen ist es auch möglich, ein drittes Verfahren zum Injizieren einer Hochenergieladung aufgrund des Band-Band-Tunneleffekts zu injizieren. Bei diesem Verfahren wird eine Spannung, die ermöglicht, daß die Oberfläche eines Verunreinigungsbereichs 2 invertiert wird, zwischen der Speichergateelektrode 7 und einem Verunreinigungsbereich 2 angelegt, und eine Spannung, welche eine Umkehrvorspannung an den p-n-Übergang zwischen

dem Verunreinigungsbereich 2 und dem Substrat 1 ergibt, wird angelegt. Das Band wird durch diese Umkehrvorspannung scharf gebogen. Elektronenlochpaare werden aufgrund des Band-Band-Tunnelstroms erzeugt. Unter diesen werden Ladungen einer Polarität entgegengesetzt zur gehaltenen Ladung (beispielsweise Löcher) durch das elektrische Feld beschleunigt, welches zwischen der Speichergateelektrode 7 und dem Verunreinigungsbereich 2 angelegt wird, erhalten eine hohe Energie und werden in den Speicherbereich 6a oder 6b injiziert.

[0152] Es sei angemerkt, daß zum Extrahieren der gespeicherten Ladung nach dem früheren Verfahren ein vorher festgelegtes elektrisches Feld mit einer Größe und einer Richtung zum Extrahieren einer Ladung durch das Durchtunnelungsphänomen zwischen der Speichergateelektrode 7 und dem Verunreinigungsbereich (und dem Substrat 1) erzeugt wird. Aus diesem Grund wird die gespeicherte Ladung zur Substratsseite hin extrahiert, die Schwellenwertspannung des Speichertransistors wird niedrig, und es wird der Löschzustand erreicht.

[0153] Gemäß dem nicht-flüchtigen Speicher gemäß der ersten Ausführungsform, die oben erläutert wurde, gibt es zwei Speicherbereiche 6a und 6b mit Ladungshaltefähigkeiten. Diese beiden Speicherbereiche 6a und 6b sind durch eine einzige dielektrische Schicht 4, die keine Ladungsspeicherfähigkeit hat, getrennt. Wenn somit 2 Bits von gespeicherten Daten gehalten werden, werden die beiden Bits von gespeicherten Daten verlässlich voneinander gesetzt. Der Grund dafür, daß sogar, wenn übermäßige Ladungen in die Speicherbereiche 6a und 6b injiziert werden, aufgrund der Existenz der einzelnen dielektrischen Schicht 4, die keine Ladungsspeicherfähigkeit dazwischen hat, die Ladungsinjektion nicht mehr als zu einem bestimmten Bereich voranschreiten kann, so daß die Bereiche einer Verteilung der Ladungen nicht miteinander reagieren. Sogar, wenn die gehaltenen Ladungen driften, wenn die Einrichtung bei einer hohen Temperatur gehalten wird, werden, da die Verteilungsbereiche der Ladungen nicht miteinander reagieren, keine Abschwächungen der beiden Bits von gespeicherten Daten in bezug zueinander auftreten.

[0154] Außerdem hebt das Bereitstellen einer Widerstandsdifferenz im Kanalbildungsbereich Ch die Wirksamkeit der Ladungsinjektion bei einer Schreib- oder Löschoperation und realisiert eine Hochgeschwindigkeitsoperation.

Zweite Ausführungsform

[0155] Die zweite Ausführungsform bezieht sich auf eine erste dielektrische Isolationsstruktur.

[0156] Fig. 8 ist eine Draufsicht auf eine Speicherzellenmatrix gemäß der zweiten Ausführungsform. Fig. 9A ist eine Querschnittsansicht längs der Linie A-A von Fig. 8, Fig. 9B ist eine Querschnittsansicht längs der Linie B-B von Fig. 8, und Fig. 9C ist eine Querschnittsansicht längs der Linie C-C von Fig. 8.

[0157] Die Querschnittsstruktur längs der Kanalrichtung in der Speicherzelle ist im wesentlichen die gleiche wie die von Fig. 1A nach der ersten Ausführungsform. Es sei angemerkt, daß bei der zweiten Ausführungsform eine Ätzstoppschicht 5a auf der Steuergateelektrode 5 (Steuerleitung CL) gebildet ist. Die Ätzstoppschicht 5a besteht aus einem Material mit einem hohen Ätzauswahlverhältnis in bezug auf das polykristalline Silizium oder das amorphe Silizium, welches die Speichergateelektrode 7 umfaßt und welche unter diesen Ätzzuständen nicht geätzt wird, beispielsweise Siliziumnitrid.

[0158] Der Grund dafür, warum die Ätzstoppschicht 5a vorgesehen ist, ist der, um zu verhindern, daß die Steuergateelektrode 5 einem übermäßigen Ätzen aufgrund der großen Differenz bezüglich der Dicke zwischen der Dicke der Speichergateelektrode 7 auf der Steuergateelektrode 5 und der Dicke der Speichergateelektrode 7 an deren Umfang

ausgesetzt ist. Das heißt, wenn die Ätzstoppschicht 5a vorgesehen ist, wird im Ätzzeitpunkt der Speichergateelektrode 7 zunächst die Ladungsspeicherschicht 6 auf der Steuergateelektrode 5 freigelegt, wobei jedoch diese Schicht nicht ausreichend als Ätzstopper aufgrund ihrer geringen Dicke von ungefähr 10 nm funktionieren kann. Wenn diese weggeätzt ist, ist die Steuergateelektrode 5 frei, und die Steuergateelektrode 5 wird dünn aufgrund des nachfolgenden Ätzens. Die Ätzstoppschicht 5a ist dazu vorgesehen, um dieses unbeabsichtigte Ätzen der Steuergateelektrode 5 zu verhindern.

[0159] Die Steuergateelektroden 5 sind, wie in Fig. 8 gezeigt ist, in Form von Streifen längs und parallel zur Spaltenrichtung als Steuerleitungen CL angeordnet. Bitleitungen BL, die aus n-Verunreinigungsbereichen (n-Typus-Verunreinigungsbereichen) im Substrat 1 bestehen, sind zwischen den Steuergates CL parallel zu den Steuerleitungen angeordnet. Wortleitungen WL, welche aus den Speichergateelektroden 7 bestehen, sind in länglichen parallelen Streifen in einer Richtung senkrecht zu den Bitleitungen BL und den Steuerleitungen CL angeordnet.

[0160] Bei der zweiten Ausführungsform sind dielektrische Isolationsschichten ISO, die die Wortleitungen WL um vorher festgelegte Breiten an den beiden Enden in der Breitenrichtung überlappen, in länglichen parallelen Streifen in der Wortleitungsrichtung längs mit den Abständen zwischen den Wortleitungen WL angeordnet.

[0161] Gesehen von den Bereichen von Querverbindungen der Steuergateelektrode 5 von Fig. 9B ist die Kanalbreite durch den Abstand zwischen den dielektrischen Isolationsschichten ISO festgelegt. Eine einzelne dielektrische Schicht (dielektrische Gateschicht) 4 ist dünn auf dem inneren Kanalbereich Ch2 zwischen den dielektrischen Isolationsschichten ISO gebildet. In diesem Bereich wird ein elektrisches Feld zum Steuern des Kanals erzeugt. Weiter wird auf den beiden Seiten die Wirkung der Steuergateelektrode 5 auf dem Substratpotential aufgrund des Vorhandenseins der dielektrischen Isolationsschichten ISO ausreichend geschwächt.

[0162] Andererseits wird gesehen vom Bereich des Speicherbereichs von Fig. 9C eine Ladungsspeicherschicht 6 auf den dielektrischen Schichten ISO und dem äußeren Kanalbereich Ch1 dazwischen gebildet. Ein Hauptteil der Wortleitung WL mit einer Breite in etwa gleich der Breite des Spalts der dielektrischen Isolationsschichten ISO liegt dem äußeren Kanalbereich Ch1 über der dielektrischen Halteschicht 6 gegenüber. Der Teil der Ladungsspeicherschicht 6, die den äußeren Kanalbereich Ch1 kontaktiert, ist der Speicherbereich. Bei einem Schreib- oder Löschbetrieb wird der Eingang oder der Ausgang von Ladungen zum Speicherbereich durch die Wortleitung WL gesteuert. Bei der zweiten Ausführungsform wird, sogar wenn eine Ladung aus dem Speicherbereich während eines wiederholten Umschreibens leckt, da die dielektrischen Isolationsschichten ISO benachbart zu beiden Seiten des Speicherbereichs in der Kanalbreitenrichtung vorgesehen sind, das Bilden eines Leckpfads in einem Bereich rund um den regulären Kanal, der nicht durch das elektrische Feld von der Wortleitung WL beeinträchtigt wird, wirksam verhindert.

[0163] Außerdem sind leitfähige Seitenwände 7b an den Seitenflächen der Wortleitung WL vorgesehen. Diese leitfähigen Seitenwände 7b sind dazu vorgesehen, die Wortleitungsbreite genau zu vergrößern, ohne sich einen Bereichsnachteil auf sich zu ziehen, sogar wenn die Breiten der Lei-

tung und der Abstand von einer Wortleitung WL durch die Minimalgrenze F von Photolithographie gebildet wird. Eine weitere Aufgabe eines Bereitstellens der leitfähigen Seitenwände 7b besteht darin, zu verhindern, daß ein Bereich frei vom Effekt des elektrischen Felds von der Wortleitung im Halbleiterbereich des Spalts zwischen den dielektrischen Isolationsschichten ISO wird, sogar, wenn eine Fehlausrichtung im Zeitpunkt des Bildens der Wortleitung in der Struktur zum Bilden der dielektrischen Isolationsschichten ISO auftritt.

[0164] Anschließend wird ein Herstellungsverfahren der Speicherzelle gemäß der zweiten Ausführungsform mit Hilfe von Fig. 10A bis 10D erläutert, wobei auf die anderen Zeichnungen bezuggenommen wird. Diese Fig. 10A bis 10D zeigen Querschnitte längs der Linie D-D von Fig. 8, und als Prozessschritte entsprechen diese den Schritten von Fig. 5A bis 5D.

[0165] In Fig. 10A wird zunächst eine dielektrische Isolationsschicht ISO auf dem Substrat 1 in der ebenen Struktur, welche in Fig. 8 gezeigt ist, gebildet. Die dielektrische Isolationsschicht ISO wird durch lokale Oxidation von Silizium (LOCOS), durch flache Grabenisolation (STI) oder durch Feldisolation gebildet. Die Dicke der dielektrischen Isolationsschicht ISO ist eine Dicke, durch die ein Kanal nicht im Halbleiterbereich gebildet wird, der die Bodenfläche davon kontaktiert, beispielsweise 10 und mehrere nm bis zu mehreren 10 nm. Da folglich diese nicht so groß wie eine Stufendifferenz ist, ist es möglich, die Feldisolation der einfachsten Herstellungsordnung anzuwenden. Bei der Feldisolation wird die Substratfläche thermisch oxidiert, oder das Siliziumdioxid wird durch CVD gebildet und dann strukturiert.

[0166] Eine dielektrische Gateschicht 4 wird durch thermische Oxidation auf dem Teil der Substratoberfläche gebildet, die in Fig. 9B und 9C gezeigt ist, die von der dielektrischen Isolationsschicht ISO frei ist. Dann wird das Kanal-Dotieren, welches die Schwellenwertspannung des inneren Kanalbereichs Ch2 festgelegt, unter Verwendung dieser dielektrischen Gateschicht 4 als Durchgangsmaske durchgeführt.

[0167] Ein verunreinigt-dotiertes polykristallines Silizium oder amorphes Silizium und eine Siliziumnitridschicht 5a, welche als Ätzstoppschicht dient, sind in dieser Reihenfolge auf der dielektrischen Isolationsschicht ISO und dem Kanalbildungsbereich Ch gebildet. Diese Schichten sind zu Streifen längs in der Spaltenrichtung strukturiert, um eine Stapelstruktur der Steuergateelektrode 5 und der Ätzstoppschicht 5a zu bilden.

[0168] In Fig. 10B bedeutet, wenn notwendig, das Kanal-Dotieren das Dotieren von Verunreinigungsionen eines Umkehrleitförmigkeitstypus (Gegendotieren) in den Teilen des Kanalbildungsbereichs Ch außerhalb von der Steuergateelektrode 5 (Gegendotieren). Aufgrund davon wird ein äußerer Kanalbereich Ch1 mit einer niedrigen Schwellenwertspannung gebildet.

[0169] In Fig. 10C ist die dielektrische Gateschicht 4 in der gleichen Weise strukturiert, wobei die Steuergateelektrode 5 als Maske verwendet wird, wonach die Ladungsspeicherschicht 6 über deren Gesamtfläche gebildet wird. Als Ladungsspeicherschicht 6 ist es möglich, eine Dreischichtlage zu verwenden, die aus der dielektrischen Bodenschicht 6₁, der Hauptladungs-Speicherschicht 6₂ und der dielektrischen Kopfschicht 6₃ besteht. Dieses Herstellungsverfahren ist das gleiche wie bei der ersten Ausführungsform.

[0170] Auf der gleichen Weise wie bei der ersten Ausführungsform werden Seitenwände 7a eng an den Seitenflächen der Steuergateelektrode 5 gebildet und bestehen aus leitfähigem Material. Weiter werden, wenn notwendig, n- oder p-

Verunreinigungen 1b in die tiefen Bereiche des Substrats durch schräge Ionenimplantation dotiert, um die Schwellenwertspannung einzustellen oder die Lochdurchgangslanglebensdauer zu verbessern.

5 [0171] In Fig. 10D wird zunächst eine n-Verunreinigung in einer hohen Dosis durch im wesentlichen vertikale Ionenimplantation dotiert. Dadurch werden die S/D-Verunreinigungsbereiche 2 (Bitleitungen BL) gebildet, wobei jedoch diese S/D-Verunreinigungsbereiche 2 unter der dielektrischen Isolationsschicht ISO an den Stellen eingegraben sind, die die Leitungen der dielektrischen Isolationsschicht ISO schneiden.

10 [0172] Danach wird das gleiche leitfähige Material wie die Seitenwände 7a dick auf der Gesamtfläche aufgebracht und strukturiert, um dieses zu parallelen Streifen zu verarbeiten und um die Speichergateelektrode 7 zu bilden. Außerdem wird das gleiche leitfähige Material dick auf die Gesamtfläche aufgebracht und zurückgeätzt. Dadurch wird eine Wortleitung WL, die Seitenwände 7b auf den beiden Seiten hat, an einer Stelle, die nicht in Fig. 10D gezeigt ist, gebildet.

15 [0173] Danach wird, wenn notwendig, eine Zwischenisolationsschicht aufgebracht, es werden Kontakte gebildet, und es wird die obere Querverbindungsschicht gebildet, um diesen nicht-flüchtigen Halbleiterspeichereinrichtung zu vollenden.

20 [0174] Wenn auf diese Weise eine Feldisolation verwendet wird, wird eine dielektrische Isolationsschicht ISO durch korrektes Hinzufügen der Ablagerungs- und Strukturschritte einer dielektrischen Schicht am Beginn des Herstellungsverfahrens der ersten Ausführungsform gebildet, wonach die gleichen Verfahren wie bei der ersten Ausführungsform durchgeführt werden.

25 [0175] Diese Schritte sind im Vergleich zum Gesamtherstellungsprozeß eines nichtflüchtigen Halbleiterspeichers unbedeutend und verursachen keine Kostensteigerung.

Dritte Ausführungsform

40 [0176] Die dritte Ausführungsform bezieht sich auf eine zweite dielektrische Isolationsstruktur.

[0177] Fig. 11 ist eine Draufsicht einer Speicherzellenmatrix gemäß der dritten Ausführungsform.

45 [0178] Bei dieser dritten Ausführungsform ist die Querschnittsstruktur längs der Kanalrichtung in der Speicherzelle grundsätzlich die gleiche wie bei der ersten und zweiten Ausführungsform (Fig. 1A). Außerdem sind die Strukturen, die in den Querschnittsansichten wie Fig. 9A, 9B und 9C gezeigt sind, die gleichen wie bei der zweiten Ausführungsform.

50 [0179] Das heißt, daß in den Bereichen, die in Fig. 9B und 9C gezeigt sind, die dielektrische Isolationsschicht ISO auf die gleiche Art und Weise wie bei der zweiten Ausführungsform gebildet ist. Daher werden die Wirkungen der Steuergateelektrode 5 und der Wortleitung WL auf das Substratpotential ausreichend geschwächt, die Wirkung des Ladungsverlustes aus dem Speicherbereich auf dem Substratpotential wird ausreichend reduziert, und dadurch wird das Auftreten eines Leckstroms vermieden.

55 [0180] Weiter ist die Bildung der Ätzstoppschicht 5a auf der Steuergateelektrode 5, deren Wirkung, die Bildung von leitfähigen Seitenwänden an den beiden Seitenflächen der Wortleitung WL und deren Wirkung die gleichen, wie oben bei der zweiten Ausführungsform erläutert wurde.

60 [0181] Bei der dritten Ausführungsform sind, wie in Fig. 11 gezeigt ist, dielektrische Isolationsschichten ISO, die die Wortleitungen WL um eine bestimmte Breite an ihren beiden Enden in der Breitenrichtung überlappen, in den Lücken

zwischen den Wortleitungen WL angeordnet und über den S/D-Verunreinigungsbereichen 2, die die Bitleitungen BL umfassen, isoliert. Fig. 12D ist eine Querschnittsansicht längs der Linie D-D von Fig. 8.

[0182] In Fig. 12D ist ein Isolationsmuster einer dielektrischen Isolationsschicht ISO lediglich auf einem Halbleiterbereich zwischen den S/D-Verunreinigungsbereichen 2, die die Bitleitungen BL bilden, angeordnet. Ein Stapelmuster der Steuergateelektrode 5 und der Ätzstoppschicht 5a ist auf der dielektrischen Isolationsschicht ISO angeordnet. Eine Ladungsspeicherschicht 6 ist ausgebildet, um diese und die S/D-Verunreinigungsbereiche 2 zu überdecken.

[0183] Anschließend wird ein Herstellungsverfahren der Speicherzelle gemäß der dritten Ausführungsform mit Hilfe von Fig. 12A bis 12D erläutert, wobei auf die anderen Zeichnungen bezuggenommen wird. Fig. 12A, 12B und 12D entsprechen als Verarbeitungsschritte den Schritten von Fig. 5A, 5B und 5D. Außerdem entsprechend die Schritte von Fig. 12C1 und Fig. 12C2 dem Schritt von Fig. 5C.

[0184] In Fig. 12A wird eine dielektrische Isolationsschicht ISO auf dem Substrat 1 mit dem gleichen Verfahren und mit dem gleichen Muster wie bei der zweiten Ausführungsform gebildet, d. h., in einem länglichen Parallelstreifen in der Reihenrichtung. Die Dicke der dielektrischen Isolationsschicht ISO besitzt eine Dicke, die nicht einen Kanal in einem Halbleiterbereich bildet, der dessen Bodenfläche kontaktiert, beispielsweise von ungefähr 10 nm bis mehreren 10 nm.

[0185] Anschließend wird in der gleichen Weise wie bei der zweiten Ausführungsform eine dielektrische Gateschicht 4 durch thermische Oxidation auf der Substratfläche, die von der dielektrischen Isolationsschicht ISO frei ist, gebildet, wonach das Kanal-Dotieren, welches die Schwellenwertspannung des inneren Kanalbereichs Ch2 bestimmt, durchgeführt wird, wobei diese dielektrische Gateschicht 4 als Durchgangsmaske verwendet wird.

[0186] Ein verunreinigt-dotiertes polykristallines Silizium oder amorphes Silizium und eine Siliziumnitridschicht 5a, welche als Ätzstoppschicht dient, werden in dieser Reihenfolge auf der dielektrischen Isolationsschicht ISO und dem Kanalbildungsbereich Ch gebildet. Diese Schichten sind zu Streifen längs in der Spaltenrichtung strukturiert, um eine Stapelstruktur aus der Steuergateelektrode 5 und der Ätzstoppschicht 5a zu bilden.

[0187] In Fig. 12B wird in der gleichen Weise wie bei der zweiten Ausführungsform, wenn notwendig, eine Verunreinigung eines Umkehrleitfähigkeitstypus von der Kanaldotierung in den Kanalbildungsbereich Ch außerhalb der Steuergateelektrode (Gegendotierung) dotiert. Dadurch wird ein äußerer Kanalbereich Ch1 mit einer niedrigen Schwellenwertspannung gebildet.

[0188] In Fig. 12C1 werden zunächst die Seitenwände 8, die aus einem Material bestehen, die eine niedrigere Ätzrate im Vergleich zu dem Material der dielektrischen Isolationsschicht ISO haben, gemeinsam mit den beiden Seiten in einer Breitenrichtung des Stapelmusters der Steuergateelektrode 5 und der Ätzstoppschicht 5a gebildet. Als Material wird beispielsweise Siliziumnitrid ausgewählt, wenn die dielektrische Isolationsschicht ISO Siliziumdioxid ist. Das Ätzen wird unter Verwendung der Seitenwände und der Ätzstoppschicht 5a als Masken durchgeführt. Dadurch wird eine dielektrische Isolationsschicht ISO mit einer Zeilenform längs in der Reihenrichtung über einen Bildungsbereich der S/D-Verunreinigungsbereiche getrennt, um ein Isolationsmuster für jede Zelle zu bilden.

[0189] Gemäß der Notwendigkeit wird eine n- oder p-Verunreinigung 1b in einen tiefen Bereich des Substrats durch schräge Ionenimplantation dotiert, um die Schwellenwert-

spannung einzustellen oder um die Lochdurchgangsfestigkeit zu verbessern, wobei als Maske die gleichen Seitenwände 8 und die Ätzstoppschicht 5a verwendet wird. Danach wird eine n-Verunreinigung mit einer hohen Dosis implantiert. Dadurch werden, wie in Fig. 11 gezeigt ist, die S/D-Verunreinigungsbereiche, welche die Bitleitungen BL bilden, in Mustern von langen parallelen Streifen in der Reihenrichtung gebildet, die exakt durch die Breite der Seitenwände 8 an den beiden Seiten der Steuergates 5 getrennt sind.

[0190] Die Seitenwände 8 werden selektiv entfernt, und dann wird, wie in Fig. 12C-2 gezeigt ist, eine Ladungsspeicherschicht 6 auf der Gesamtfläche gebildet. Als Ladungsspeicherschicht 6 kann eine Dreilagenschicht, die aus der dielektrischen Bodenschicht 6₁, der Hauptladungs-Speicherschicht 6₂ und der dielektrischen Kopfschicht 6₃ besteht, verwendet werden. Dieses Herstellungsverfahren ist das gleiche wie bei der ersten Ausführungsform.

[0191] Ein leitfähiges Material wird dick auf der Gesamtfläche aufgebracht und strukturiert, um dieses zu einem parallelen Streifen zu verarbeiten, um die Speichergateelektrode 7 zu bilden. Dann wird das gleiche leitfähige Material dick auf der Gesamtfläche aufgebracht und dann zurückgeätzt. Dadurch wird eine Wortleitung WL, welche Seitenwände 7b auf den beiden Seiten hat, an einer Stelle, die nicht in Fig. 12D gezeigt ist, gebildet.

[0192] Danach wird wenn notwendig eine Zwischenisolationsschicht aufgebracht, es werden Kontakte gebildet, und es wird die obere Querverbindungsschicht gebildet, um diese nicht-flüchtige Halbleiterspeichereinrichtung zu vollenden.

[0193] Bei dem obigen Herstellungsverfahren werden die Trennung der dielektrischen Isolationsschichten ISO und die Bildung von S/D-Verunreinigungsbereichen durch Selbstausrichtung mit dem Steuergate 5 hergestellt. Damit gibt es keine Schwankung bezüglich der Dimensionen der Speicherbereiche 6a, 6b in der Kanalrichtung in der gleichen Weise wie bei der ersten und zweiten Ausführungsform. Außerdem ist bei der dritten Ausführungsform die Fotomaske zum Bilden des Musters der dielektrischen Isolationsschicht ISO die gleiche, wie die, die bei der zweiten Ausführungsform verwendet wird. Wenn die Feldisolation zum Bilden der dielektrischen Isolationsschicht ISO verwendet wird, wird die dielektrische Isolationsschicht ISO durch korrektes Hinzufügen der Schritte des Ablagerns und Musterbildens einer dielektrischen Schicht am Beginn des Herstellungsverfahrens der ersten Ausführungsform gebildet. Danach können die gleichen Prozesse wie bei der ersten Ausführungsform durchgeführt werden.

[0194] Diese Schritte sind im Vergleich mit dem gesamten Produktionsprozeß eines nicht-flüchtigen Halbleiterspeichers unbedeutend und verursachen keinen großen Kostenanstieg.

Vierte Ausführungsform

[0195] Die vierte Ausführungsform bezieht sich auf serielle Operationen einer VG-Zellenmatrix (Fig. 4), wobei Speicherzellen des Aufbaus gemäß der vorliegenden Erfindung verwendet werden.

[0196] Bei der vorliegenden Erfindung liegt einer der Gründe, die Steuergateelektrode vorzusehen, darin, serielle Operationen in einer VG-Zellenmatrix zu realisieren. Anschließend wird eine Schreiboperation unter Verwendung dieses Matrixsteuerverfahrens erläutert.

[0197] Fig. 13 zeigt den Fall, wo 12 Datenbits (1, 0, 1, 0, 0, 0, 1, 0, 1, 1, 1) in sechs Speicherzellen einer zweiten Reihe durch eine parallele Schreiboperation durch zwei

CHE-Injektions-Schreiboperationen geschrieben werden. Hier zeigt "ON" den Zustand, wo ein Kanal, der in der Speicherzelle (oder eine Spannung, die in diesem Zustand erzeugt wird) gebildet werden kann, während "OFF" den Zustand zeigt, wo ein Kanal in der Speicherzelle nicht gebildet werden kann (oder eine Spannung, die in diesem Zustand erzeugt wird).

[0198] Fig. 14 zeigt die erste Schreiboperation.

[0199] In diesem Zeitpunkt wird eine gemeinsame Spannung V_c (beispielsweise Masse) an die ungeradzahlig-numerierten Bitleitungen angelegt, während eine spezielle positive Spannung (Drainspannung V_d) an die geradzahlig-numerierten Bitleitungen angelegt wird. Die CHE-Schreiboperation wird im drain-seitigen Speicherbereich durchgeführt, so daß die Speicherbereiche an den beiden Seiten der Bitleitungen BL2, BL4, BL6, an denen die Drainspannung V_d angelegt wird, ausgewählt werden und dadurch beschrieben werden können. Die tatsächliche Schreiboperation ist nur möglich, wenn die Steuerleitungen auf "ON" sind. Daher wird das Schreiben an drei Orten durchgeführt, d. h., im Speicherbereich auf der linken Seite der Steuerleitung CL2, im Speicherbereich auf der rechten Seite der Steuerleitung CL5 und im Speicherbereich auf der linken Seite der Steuerleitung CL6. Die gespeicherten Daten werden zu "1" in jedem Bereich. Die anderen Speicherbereiche in den ausgewählten Orten verbleiben auf "0", d. h., im Löschzustand.

[0200] Fig. 15 zeigt die zweite Schreiboperation.

[0201] In diesem Zeitpunkt, wo die gemeinsame Spannung V_c und die Drainspannung V_d angelegt sind, werden diese nach der Zeit der obigen ersten Schreiboperation umgeschaltet. Daher werden die Speicherbereiche, die ausgewählt sind, zu allen von den Orten, die verbleiben, nachdem sie nicht das erste mal ausgewählt wurden. In diesem Fall werden ebenso die tatsächliche Schreiborte durch Steuerdaten bestimmt. In dem Beispiel von Fig. 15 werden drei Bereiche beschrieben, d. h., der Speicherbereich auf der linken Seite der Steuerleitung CL1, der Speicherbereich auf der rechten Seite der Steuerleitung CL4 und der Speicherbereich auf der rechten Seite der Steuerleitung CL6. Die gespeicherten Daten werden zu "1" in jedem Bereich. Der Rest der Speicherbereiche verbleibt mit Ausnahme der ausgewählten Orte auf "0", d. h., im Löschzustand.

[0202] Aufgrund dieser beiden parallelen Schreiboperationen werden die 12 Bits von Schreibdaten, die in Fig. 4 gezeigt sind, in sechs Speicherzellen geschrieben, die mit einer Wortleitung WL2 verbunden sind.

[0203] Wie oben gezeigt ist wird in der Speicherzelle gemäß der vorliegenden Erfindung aufgrund des Vorhandenseins der Steuergateelektrode 5, die die Kanalbildung steuert, ein serieller Zugriff und serielle Operationen mit lediglich wenigen Operationszyklen für eine VG-Zellenmatrix möglich. Weiter wird der Pegel der Bitleitungen, die aus Verunreinigungsbereichen eines Halbleiters bestehen, die große Zeitkonstanten haben und nicht mit einer hohen Geschwindigkeit umgeschaltet werden können, lediglich einmal angehoben und abgesenkt, so daß dies für die Verminderung der Zeit vorteilhaft ist, die für jede Leseoperation erforderlich ist. Außerdem ist dies vorteilhaft, um den Energieverbrauch zu reduzieren.

[0204] Um Daten in die gesamte Speicherzellenmatrix zu schreiben, ist es vorteilhaft, das Potential der Bitleitungen einmal festzulegen, dann nacheinander alle Reihen zu beschreiben, wobei das Potential festgehalten wird, das Bitleitungspotential umzukehren, dann nacheinander alle Reihen beschrieben werden, wobei das Potential festgehalten wird. Bei der ersten Schreiboperation für alle Reihen wird die Schreiboperation auf einem der beiden Speicherbereiche durchgeführt, wonach bei der zweiten Schreiboperation die

Schreiboperation im anderen der beiden Speicherbereiche durchgeführt wird.

[0205] Bei einer Schreiboperation können auf der gesamten VG-Speicherzellenmatrix ein serieller Zugriff und serielle Operationen lediglich mit einer kleinen Anzahl von Operationszyklen durchgeführt werden. Außerdem wird der Pegel der Bitleitungen, die Verunreinigungsbereiche eines Halbleiters aufweisen, welche große Zeitkonstanten aufweisen und die nicht mit einer hohen Geschwindigkeit umgeschaltet werden können, lediglich einmal angehoben und abgesenkt, so daß dies zur Verminderung der Zeit vorteilhaft ist, die für die Schreiboperation und das Vermindern des Energieverbrauchs erforderlich ist.

[0206] Anschließend wird die Leseoperation erläutert.

[0207] Da der Speicherzustand des source-seitigen Speicherbereichs in der Leseoperation gelesen wird, wird derjenige der Speicherbereiche auf den beiden Seiten des Steuer Gates, an den die gemeinsame Spannung V_c angelegt wird, entgegengesetzt zum Zeitpunkt der Schreiboperation ausgewählt. Wenn die Speicherzellen auf den beiden Seiten Bitleitungen, an denen die Drainspannung angelegt wird, verbunden werden, treten Fehloperationen auf, wodurch es notwendig ist, jeweils eine Seite der jeder anderen Speicherzelle zu lesen. Daher werden vier Operationszyklen dazu benötigt, um eine Reihe zu lesen.

[0208] Fig. 16 zeigt die erste Leseoperation.

[0209] Im Ausgangszustand wird eine gemeinsame Spannung V_c an alle Bitleitungen angelegt, und alle Steuerleitungen werden auf der "OFF"-Spannung gehalten.

[0210] Zunächst wird eine gemeinsame Spannung V_c (beispielsweise Masse) an die ungeradzahlig-numerierten Bitleitungen angelegt, und eine spezielle positive Spannung (Drainspannung V_d) wird an die geradzahlig-numerierten Bitleitungen angelegt. Da die Leseoperation auf dem source-seitigen Speicherbereich durchgeführt wird, werden die Speicherbereiche auf den beiden Seiten der Bitleitungen BL1, BL3, BL5, BL7, an die die gemeinsame Spannung V_c angelegt wird, ausgewählt, wodurch das Lesen möglich wird.

[0211] Die ungeradzahlig-numerierten Steuerleitungen CL1, CL3, CL5, CL7 werden von "OFF" auf "ON" umgeschaltet. Eine Wort-Gate-Spannung V_{wg} wird an die Wortleitung WL2 angelegt, um diese zu aktivieren. Bei einer tatsächlichen Leseoperation ist es möglich, lediglich die Speicherzellen zu lesen, deren Wortleitungen auf "ON" sind. Daher kann das Datenbit der Speicherbereiche, welches mit "0" in Fig. 16 angedeutet ist, gelesen werden. Das heißt, daß ein Lesestrom in die Speicherzellen M12, M32 und M52 gemäß den gespeicherten Daten an den drei Orten des Speicherbereichs auf der linken Seite der Steuerleitung CL1, des Speicherbereichs auf der linken Seite der Steuerleitung CL3 und des Speicherbereichs auf der linken Seite der Steuerleitung CL5 fließt. Die Logik der gespeicherten Daten wird gemäß damit identifiziert, ob die Potentiale der ungeradzahlig-numerierten Bitleitungen sich in die positive Richtung bewegen, ob die Potentiale der geradzahlig-numerierten Bitleitungen in der negativen Richtung oder ob die Potentialdifferenz zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 sich bewegen.

[0212] Nachdem die gespeicherten Daten identifiziert sind, kehrt die Wortleitung WL2 auf ihr Anfangspotential zurück und wird deaktiviert.

[0213] Fig. 17 zeigt die zweite Leseoperation.

[0214] Die Relativspannungen der Steuerleitungen werden so umgeschaltet, daß sie umgekehrt zu denjenigen der ersten Leseoperation sind. Die ungeradzahlig-numerierten Steuerleitungen CL1, CL3, CL5, CL7 werden von "ON" auf "OFF" umgeschaltet, während die geradzahlig-numerierten

Steuerleitungen CL2, CL4, CL6 von "OFF" auf "ON" umgeschaltet werden. Zusätzlich wird eine Wort-Gate-Spannung Vwg an die Wortleitung WL2 angelegt, um diese zu aktivieren. In diesem Zeitpunkt können nur die Speicherzellen, deren Steuerleitungen "ON" sind, gelesen werden. Daher können die Einbitdaten der Speicherbereiche, die mit "0" in Fig. 17 angedeutet sind, gelesen werden. Das heißt, daß ein Lesestrom innerhalb der Speicherzellen M22, M42 und M62 gemäß den gespeicherten Daten an den drei Orten des Speicherbereichs auf der rechten Seite der Steuerleitung CL2, des Speicherbereichs auf der rechten Seite der Steuerleitung CL4 und des Speicherbereichs auf der rechten Seite der Steuerleitung CL6 fließt. Gemäß damit wird die Logik der gespeicherten Daten gemäß damit identifiziert, ob die Potentiale der ungeradzahlig-numerierten Bitleitungen sich in die positive Richtung bewegen, ob die Potentiale der geradzahlig numerierten Bitleitungen in die negative Richtung oder die Potentialdifferenz zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 sich bewegen. [0215] Wenn die gespeicherten Daten identifiziert sind, wird die Wortleitung WL2 auf ihr Ausgangspotential zurückgebracht und deaktiviert, und alle Bitleitungen und alle Steuerleitungen werden auf ihre Ausgangszustände auf einmal zurückgebracht.

[0216] Fig. 18 zeigt die dritte Leseoperation.

[0217] Zunächst werden die Relativspannungen der Bitleitungen so umgeschaltet, daß sie umgekehrt zur ersten und zweiten Leseoperation sind. Das heißt, die Drainspannung Vd wird an die ungeradzahlig-numerierten Bitleitungen angelegt, während die gemeinsame Spannung Vc an die geradzahlig numerierten Bitleitungen angelegt wird. Daher werden die Speicherbereiche auf den beiden Seiten der Bitleitungen BL2, BL4, BL6, an die die gemeinsame Spannung Vc angelegt wird, ausgewählt, wodurch sie gelesen werden können.

[0218] Die ungeradzahlig-numerierten Steuerleitungen CL1, CL3, CL5, CL7 werden von "ON" auf "OFF" umgeschaltet, und eine Wort-Gate-Spannung Vwg wird an die Wortleitung WL2 angelegt, um diese zu aktivieren. In diesem Zeitpunkt können lediglich die Speicherzellen, deren Steuerleitungen "ON" sind, gelesen werden. Daher werden die Einbitdaten der Speicherbereiche, die mit "0" in Fig. 18 angedeutet sind, gelesen. Das heißt, daß ein Lesestrom in den Speicherzellen M12, M32 und M52 gemäß den gespeicherten Daten an den drei Orten, des Speicherbereichs auf der rechten Seite der Steuerleitung CL1, des Speicherbereichs auf der rechten Seite der Steuerleitung CL3 und des Speicherbereichs auf der rechten Seite der Steuerleitung CL5 fließt. Gemäß damit wird die Logik der gespeicherten Daten gemäß damit identifiziert, ob die Potentiale der ungeradzahlig-numerierten Bitleitungen sich zur positiven Richtung, ob die Potentiale der geradzahlig numerierten Bitleitungen sich in der negativen Richtung oder ob die Potentiale sich zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 verschieben.

[0219] Nachdem die gespeicherten Daten identifiziert sind, wird die Wortleitung WL2 auf ihr Anfangspotential zurückgebracht und deaktiviert.

[0220] Fig. 19 zeigt die vierte Leseoperation.

[0221] Die Relativspannungen der Steuerleitungen werden gegenüber der dritten Leseoperation umgedreht. Das heißt, daß die ungeradzahlig-numerierten Steuerleitungen CL1, CL3, CL5, CL7 von "ON" auf "OFF" geschaltet sind, und die geradzahlig numerierten Steuerleitungen CL2, CL4, CL6 von "OFF" auf "ON" umgeschaltet sind. Zusätzlich wird eine Wort-Gate-Spannung Vwg an die Wortleitung WL2 angelegt, um diese zu aktivieren. In diesem Zeitpunkt können lediglich die Speicherzellen, deren Steuerleitungen

auf "ON" sind, gelesen werden. Daher können die Datenbits der Speicherbereiche, die mit "0" in Fig. 19 angedeutet sind, gelesen werden. Das heißt, daß ein Lesestrom in den Speicherzellen M22, M42 und M62 gemäß den gespeicherten Daten an den drei Orten des Speicherbereichs auf der linken Seite der Steuerleitung CL2, des Speicherbereichs auf der linken Seite der Steuerleitung CL4 und des Speicherbereichs auf der linken Seite der Steuerleitung CL6 fließt. Gemäß damit wird die Logik der gespeicherten Daten gemäß damit identifiziert, ob sich die Potentiale der geradzahlig numerierten Bitleitungen in die positive Richtung, ob sich die Potentiale der ungeradzahlig-numerierten Bitleitungen in die negative Richtung oder ob die Potentialdifferenz sich zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 verschieben.

[0222] Wenn die gespeicherten Daten identifiziert sind, wird die Wortleitung WL2 auf ihr Anfangspotential zurückgebracht und deaktiviert, und es werden alle Bitleitungen und alle Steuerleitungen auf ihre Anfangszustände auf einmal zurückgebracht.

[0223] Durch die obigen vier Operationen werden die Datenbits aller Speicherzellen, die mit der gleichen Wortleitung WL verbunden sind, gelesen.

[0224] Wenn die Daten aus der gesamten Speicherzellenmatrix oder aus einem Teil dieser, d. h., ein Speicherzellenblock, bei den obigen vier Leseoperationen gelesen werden, wird die gleiche Operation für exakt die Anzahl von Wortleitungen wiederholt, wobei die Wortleitungen, die zu aktivieren sind, nacheinander umgeschaltet werden.

[0225] Wenn beispielsweise nacheinander Leseoperationen eines Blocks durchgeführt werden, der aus den 3×6 Speicherzellen besteht, ist, wie in Fig. 16 gezeigt ist, in der Reihenfolge der ersten, zweiten, dritten und vierten Operation die Anzahl der Leseoperationszyklen in jeder Leseoperation von der ersten bis vierten Operation drei oder gleich der Anzahl der Wortleitungen. Daher wird eine Gesamtzahl von 12 Lesezyklen benötigt.

[0226] Zunächst wird die erste Leseoperation erläutert.

[0227] In diesem Fall wird ebenfalls im Anfangszustand eine gemeinsame Spannung Vc an alle Bitleitungen angelegt, und alle Steuerleitungen werden auf der "OFF"-Spannung gehalten.

[0228] Zunächst wird eine gemeinsame Spannung (beispielsweise Masse) an die ungeradzahlig-numerierten Bitleitungen angelegt, und eine bestimmte positive Spannung (Drainspannung Vd) wird an die geradzahlig numerierten Bitleitungen angelegt. Da die Leseoperation auf den sourceseitigen Speicherbereichen durchgeführt wird, werden die Speicherbereiche auf den beiden Seiten der Bitleitungen BL1, BL3, BL5, BL7, an die die gemeinsame Spannung Vc angelegt wird, ausgewählt und können dadurch gelesen werden.

[0229] Die ungeradzahlig-numerierten Steuerleitungen CL1, CL3, CL5, CL7 werden von "OFF" auf "ON" umgeschaltet, und eine Wort-Gate-Spannung Vwg wird an die erste Wortleitung WL1 angelegt, um diese zu aktivieren. Bei der tatsächlichen Leseoperation können lediglich die Speicherzellen, deren Steuerleitungen "ON" sind, gelesen werden. Daher können die Datenbits der Speicherbereiche, die durch die gebrochene Linie "0" in Fig. 16 angedeutet sind, gelesen werden. Das heißt, daß ein Lesestrom in den Speicherzellen M12, M32 und M52 gemäß den gespeicherten Daten an den drei Orten des Speicherbereichs auf der linken Seite der Steuerleitung CL1, des Speicherbereichs auf der linken Seite der Steuerleitung CL3 und des Speicherbereichs auf der linken Seite der Steuerleitung CL5 in den Speicherzellenreihen, die mit der Wortleitung WL1 verbunden sind, fließt. Gemäß damit wird die Logik der gespeicherten

cherten Daten gemäß damit identifiziert, ob sich die Potentiale der ungeradzahlignumerierte Bitleitungen in die positive Richtung verschieben, ob sich die Potentiale der geradzahlignumerierte Bitleitungen in die negative Richtung verschieben oder ob sich die Potentialdifferenz zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 verschiebt.

[0230] Wenn die gespeicherten Daten identifiziert sind, wird die Wortleitung WL1 auf ihr Ausgangspotential zurückgebracht und deaktiviert.

[0231] Im zweiten Zyklus wird die Wort-Gate-Spannung Vwg an die zweite Wortleitung WL2 angelegt, um diese zu aktivieren.

[0232] Bei der tatsächlichen Leseoperation können lediglich die Speicherzellen, deren Steuerleitungen auf "ON" sind, gelesen werden. Daher können die Datenbits der Speicherbereiche, die mit "O" in Fig. 16 angedeutet sind, gelesen werden. Das heißt, daß ein Lese-Strom in den Speicherzellen M12, M32 und M52 gemäß den gespeicherten Daten an den drei Orten des Speicherbereichs auf der linken Seite der Steuerleitung CL1, des Speicherbereichs auf der linken Seite der Steuerleitung CL3 und des Speicherbereichs auf der linken Seite der Steuerleitung CL5 in der Reihe der Speicherzellen, die mit der Wortleitung WL2 verbunden sind, fließt. Gemäß damit wird die Logik der gespeicherten Daten gemäß damit identifiziert, ob die Potentiale der ungeradzahlignumerierte Bitleitungen sich in die positive Richtung bewegen, ob die Potentiale der geradzahlignumerierte Bitleitungen sich in die negative Richtung bewegen oder sich die Potentialdifferenz zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 verschiebt.

[0233] Wenn die gespeicherten Daten identifiziert sind, wird die Wortleitung WL2 auf ihr Ausgangspotential zurückgebracht und deaktiviert.

[0234] Im dritten Zyklus wird die Wort-Gate-Spannung Vwg an die dritte Wortleitung WL3 angelegt, um diese zu aktivieren. In der tatsächlichen Leseoperation können lediglich die Speicherzellen, deren Steuerleitungen auf "ON" sind, gelesen werden. Daher können die Bitdaten der Speicherbereiche, die durch die quadratische Markierungen in Fig. 16 angedeutet sind gelesen werden. Das heißt, ein Lese-Strom fließt in den Speicherzellen M12, M32 und M52 gemäß den gespeicherten Daten an den drei Orten des Speicherbereichs auf der linken Seite der Steuerleitung CL1, des Speicherbereichs auf der linken Seite der Steuerleitung CL3 und des Speicherbereichs auf der linken Seite der Steuerleitung CL5 in der Reihe von Speicherzellen, die mit der Wortleitung WL3 verbunden sind. Gemäß damit wird die Logik der gespeicherten Daten dadurch identifiziert, ob die Potentiale der ungeradzahlignumerierte Bitleitungen sich in die positive Richtung bewegen, ob die Potentiale der geradzahlignumerierte Bitleitungen sich in der negativen Richtung bewegen oder ob die Potentialdifferenz zwischen den Bitleitungen BL1 und BL2, BL3 und BL4 oder BL5 und BL6 sich bewegt.

[0235] Wenn die gespeicherten Daten identifiziert sind, wird die Wortleitung WL3 auf ihr Ausgangspotential zurückgebracht und deaktiviert.

[0236] Auf die gleiche Art und Weise werden durch Wiederholen der zweiten bis vierten Leseoperation in drei Zyklen die Datenbits aller Speicherzellen, die in Fig. 16 gezeigt sind, gelesen.

[0237] Bei der Leseoperation der Speicherzellenmatrix wird der Pegel des Potentials der Bitleitungen mit den großen Zeitkonstanten lediglich zweimal angehoben oder abgesenkt. Dies trägt zur Verbesserung der Gesamtgeschwindigkeit der Leseoperation und zur Verminderung des Leistungsverbrauchs bei.

[0238] Es sei angemerkt, daß bei einer Löschoption üblicherweise die gesamte Speicherzellenmatrix simultan gelöscht wird, wobei jedoch das Löschen in Reiheneinheiten ebenfalls möglich ist. Mit Löschen durch Kanal-Heißloch-Injektion (mit p-Kanal, CHE) kann das Löschen für jede Reihe durch zwei Operationszyklen in der gleichen Weise wie CHE-Injektions-Schreiboperationen durchgeführt werden. Mit einem Löschen durch Lawinendurchbruch-Induktions-Heißloch-Injektion (p-Kanal, Heißelektrone) kann das Löschen für jede Reihe mit einem einfachen Operationszyklus durchgeführt werden.

[0239] Eine solche serielle Operation ist eine Operationsform, bei der die Speicherzellenmatrix bei der vorliegenden Erfindung in mehreren Teile unterteilt wird. Das heißt, bei der vorliegenden Erfindung sind eine vorher-festgelegte Anzahl von Speicherzellen, die durch ihre Steuerleitungen ausgeschaltet sind, vorgesehen, beispielsweise 2, 3, 4, vorzugsweise 2, 4, 8, 16, um die Speicherzellen in n Gruppen zu unterteilen. Danach wird auf eine Gesamtzahl von n von Speicherzellen unter den nicht-aktivierten Speicherzellen seriell nacheinander für eine Paketoperation zugegriffen (Schreiben, Lesen und Löschen).

[0240] Im nächsten Zyklus werden die nicht-aktivierten Speicherzellen in einer Richtung verschoben, um neue Gruppen zu bilden, und ähnlich werden n Speicherzellen betrieben. Diese Operation wird durch exakt die Anzahl von Speicherzellen in einer Gruppe wiederholt, um die Operation aller Speicherzellen, die mit einer Wortleitung WL verbunden sind, zu beenden.

Fünfte Ausführungsform

[0241] Die fünfte Ausführungsform bezieht sich auf ein Verfahren, um die Gatevorspannung von nicht-ausgewählten Reihen einzustellen, um den Leckstrom, der zu den Bitleitungen von der Reihe zu vermindern, d. h., der gleichen wie die Zellen, die in einer Leseoperation zu lesen sind. Hier wird als Beispiel eine NOR-Speicherzellenmatrix (getrennte Sourceleitung-NOR-Typus), wo Sourceleitungen in der Spaltenrichtung zwischen benachbarten Speicherzellen getrennt sind, wie in Fig. 3 gezeigt ist, und eine VG-Speicherzellenmatrix, wo die gemeinsamen Leitungen zwischen benachbarten Speicherzellen gemeinsam genutzt werden, wie in Fig. 4 gezeigt ist, erläutert.

[0242] Fig. 20 zeigt die speziellen Vorspannungszustände der Leseoperation in einer getrennten Sourceleitung-NOR-Speicherzellenmatrix.

[0243] Bei der getrennten Sourceleitung-NOR-Speicherzellenmatrix ist es möglich, parallel ein Bit in einem Zeitpunkt für jede Speicherzelle in der gleichen Reihe durch einen einfachen Leseoperationszyklus zu lesen. Diese Vorspannungszustände in Fig. 20 entsprechen der Seitenleseauswahl aller Speicherzellen M12, M22, ... M62, die mit der ausgewählten Wortleitung WL2 verbunden sind, insbesondere in dem Fall eines simultanen Lesens der Bitdaten, die an den linken Seiten der Steuerleitungen in den Speicherzellen gespeichert sind.

[0244] Eine Lese-Drain-Spannung Vd von beispielsweise 1,2 V wird an alle Bitleitungen BL1 bis BL6 angelegt, eine Referenzspannung Vs von beispielsweise 0 V wird an alle Sourceleitungen SL1 bis SL6 angelegt, und eine Lese-Gate-Spannung Vwg, beispielsweise die Versorgungsspannung 3,3 V, wird an die ausgewählte Wortleitung WL2 angelegt. Außerdem wird bei einer Seitenleseoperation eine Steuer-Gate-Spannung Vcg, beispielsweise 3 V, um einen Kanal einzuschalten, an alle Steuerleitungen CL1 bis CL6 angelegt.

[0245] Im vorliegenden Zeitpunkt wird bei der vorliegen-

den Ausführungsform eine Spannung, die eine Vorwärtsspannung an den Kanalbildungsbereich liefert, an die nicht-ausgewählten Wortleitungen WL1, WL3 angelegt. Hier bedeutet "Spannung, die eine Vorwärtsspannung an den Kanalbildungsbereich liefert" eine Spannung, wodurch die Anlegerichtung der Spannung auf der Basis des Potentials des Kanalbildungsbereichs zu einer Vorwärtsrichtung wird, wobei ein pn-Übergang angenommen wird. Insbesondere beispielsweise in Fig. 1, wenn die Kanalbildungsbereiche Ch1a, Ch1b p-Bereiche sind und auf dem Massepotential gehalten werden, ist die Spannung eine negative Spannung, während umgekehrt, wenn die Kanalbildungsbereiche Ch1a, Ch1b n-Bereiche sind und auf dem Massepotential gehalten sind, ist die Spannung eine positive Spannung. Die Spannung in einer Richtung, die eine Vorwärtsspannung an den Kanalbildungsbereich liefert, beträgt vorzugsweise nicht mehr als 1 V absolut. Damit wird die Störung reduziert und fehlerhaftes Schreiben und fehlerhaftes Löschen vermieden, wenn ein nichtausgewählter Speichertransistor gelesen wird.

[0246] Hier wird als Vorwärtsspannungs-Vorspannung V_{uw} beispielsweise -0,5 V angelegt.

[0247] In den Speicherzellen ändert sich die Schwellenwertspannung gemäß der Logik der gespeicherten Daten, so daß sich unter den gleichen Vorspannungszuständen für die ausgewählten Speicherzellen, die Kanalleitfähigkeit der Speichertransistoren wirksam gemäß der Logik der gespeicherten Daten ändert und dadurch Änderungen der Höhe des Stroms auftreten, der zu den Bitleitungen fließt, oder Änderungen im Potential der Bitleitungen auftreten. Allgemein fließt ein effektiver Lesestrom in einer ausgewählten Bitleitung BL nur, wenn die ausgewählte Speicherzelle eingeschaltet ist. Die Existenz oder die Größe dieses Lesestroms wird durch einen gezeigten Abtastverstärker verstärkt, um die Logik der gespeicherten Daten zu identifizieren.

[0248] Durch diese Leseoperation werden die gespeicherten Daten in der Hälfte der Reihen der Speicherzellen, die mit der Wortleitung WL2 verbunden sind, gelesen. Um die andere Hälfte zu lesen, d. h., die Speicherzellen auf der rechten Seite der Steuerleitungen, werden die Relativspannungen der Bitleitungen und der Sourceleitungen von Fig. 20 umgedreht. Die anderen Zustände sind gleich denjenigen in Fig. 20.

[0249] Das heißt, eine Lese-Drain-Spannung V_d von beispielsweise 1,2 V wird an alle Sourceleitungen SL1 bis SL6 angelegt, eine Referenzspannung V_s , beispielsweise V, wird an alle Bitleitungen BL1 bis BL6 angelegt, eine Lese-Gate-Spannung V_{wg} , beispielsweise die Versorgungsspannung 3,3 V, wird an die ausgewählte Wortleitung WL2 angelegt. Außerdem wird bei einer Seitenleseoperation eine Steuer-Gate-Spannung V_{cg} , beispielsweise 3 V, um einen Kanal einzuschalten, an alle Steuerleitungen CL1 bis CL6 angelegt.

[0250] Daher fließt ein Kanalstrom in der entgegengesetzten Polarität zu oben, und die Leitfähigkeit des Kanals ändert sich effektiv, wodurch die gespeicherten Ladungen der Speicherbereiche auf die Seite des niedrigen elektrischen Feldes widerspiegelt werden, d. h., auf die Speicherbereiche auf den rechten Seiten der Steuerleitungen. Dadurch werden die gespeicherten Ladungen der Speicherbereiche auf der Niedrigpotentialseite auf das Maß des Lesestroms oder die Änderung der Spannung auf den Sourceleitungen umgesetzt: wo die Drainspannung V_d angelegt, und werden als gespeicherte Daten gelesen.

[0251] Fig. 21 zeigt die speziellen Vorspannungszustände der Leseoperation bei einer VG-Speicherzellenmatrix.

[0252] Die grundsätzliche Prozedur der Leseoperation in einer VG-Speicherzellenmatrix wurde schon ausführlich bei

der vierten Ausführungsform beschrieben. Um diese kurz zu beschreiben werden alle Bits einer Reihe von Speicherzellen durch vier Leseoperationen gelesen, wobei die Kombination der Drainspannung V_d und der Referenzspannung V_s (oder der gemeinsamen Spannung V_c), die an die ungeradzahlig-numerierten Bitleitungen $BL(2n-1)$ (n = natürliche Zahl) und die geradzahlig numerierten Bitleitungen $BL(2n)$ angelegt werden, und die Kombination der Spannung "ON" und der Spannung "OFF", die an die ungeradzahlig-n Steuerleitungen $CL(2n-1)$ und die geradzahlig numerierten Steuerleitungen $CL(2n)$ angelegt werden, geändert wird. Die Vorwärtsspannungs-Vorspannung, welche an die Gates der nicht-ausgewählten Speicherzellen angelegt wird, ändert sich in den vier Leseoperationen nicht, so daß Fig. 21 die speziellen Vorspannungszustände bei der ersten Leseoperation in der vierten Ausführungsform als repräsentatives Beispiel zeigt.

[0253] Hier sind die zu lesenden Bits die Bits auf der linken Seite der Steuerleitung CL1, die Bits auf der rechten Seite der Steuerleitung CL3 und die Bits auf der rechten Seite der Steuerleitung CL5. Um dies zu ermöglichen wird eine Referenzspannung $V_s = 0$ V an die ungeradzahlig-numerierten Bitleitungen angelegt, eine Drainspannung $V_d = 1,2$ V wird an die geradzahlig numerierten Bitleitungen angelegt, die Spannung "ON", nämlich $V_{cg} = 3$ V, wird an die ungeradzahlig-numerierten Steuerleitungen angelegt, und die Spannung "OFF", nämlich $V_s = 0$ V, wird an die geradzahlig-numerierten Steuerleitungen angelegt. Zusätzlich wird eine Lese-Gate-Spannung V_{wg} , d. h., die Versorgungsspannung $V_{cc} = 3$ V, an eine spezielle Wortleitung WL2 angelegt, und die Vorwärtsspannungs-Spannung $V_{uw} = -0,5$ V wird an die anderen nicht ausgewählten Wortleitungen WL1, WL3 angelegt.

[0254] Daher ändert sich die Kanalleitfähigkeit wirksam, wobei die gespeicherten Ladungen der Speicherbereiche der Seite des niedrigen elektrischen Feldes gespiegelt werden, d. h., der Speicherbereiche auf den linken Seiten der Steuerleitungen, die eingeschaltet sind. Daher werden die gespeicherten Ladungen in den Speicherbereichen auf der Seite des niedrigen elektrischen Feldes in eine Strommenge, die gelesen wird, oder in die Änderungsmenge der Bitleitungen umgesetzt, an die die Drainspannung angelegt wird und werden als die gespeicherten Daten gelesen.

[0255] Bei dem Speicherzellenaufbau nach der vorliegenden Ausführungsform gibt es jedoch eine Steuergateelektrode 5, die dem mittleren Teil des Kanals zugewandt ist. Die Steuergateelektroden in der Spaltenrichtung sind üblicherweise als Steuerleitungen CL geschaltet. Folglich wird eine Spannung in einer Richtung, um den Kanal einzuschalten, an die Mitte des Kanals in einer nicht-ausgewählten Speicherzelle angelegt; die die Steuerleitung gemeinsam mit der Speicherzelle nutzt, die zu lesen ist. Üblicherweise wird mit diesem lokalen elektrischen Feld der Kanal nicht ausreichend eingeschaltet, wobei sich jedoch der Außer-Betriebs-Leckstrom etwas vergrößert. Insbesondere fällt in einer Speicherzelle, wo der zu lesende Speicherbereich in einem Löschzustand oder in einem übermäßig gelöschtem Zustand ist, die Schwellenwertspannung, um den üblichen Löschpegel abzusinken, wodurch der Einfluß des Anlegens einer Spannung über diese Steuerleitung nicht länger vernachlässigbar ist.

[0256] Allgemein wird bei einer NOR-Speicherzellenmatrix, wo die Speichertransistoren miniaturisiert sind, der Außer-Betriebs-Leckstrom, der zu den Bitleitungen von den nicht-ausgewählten Zellen bei der Leseoperation fließt, hauptsächlich durch den Lochdurchgangseffekt zwischen der Source und dem Drain in einem Transistor verursacht. Wenn beispielsweise die Gatelänge eines Speichertransi-

stors kleiner als $0,13 \mu\text{m}$ gemacht wird, erstreckt sich, sogar wenn die Lese-Drain-Spannung bei ungefähr $1,0 \text{ V}$ bis $1,5 \text{ V}$ liegt, die Verarmungsschicht vom Drain zur Source aufgrund des Anlegens der Spannung, und die an den Drain angelegte Spannung reduziert effektiv die Potentialbarriere zwischen der Source und dem Substrat oder der Senke. Dies wird als drain-induzierter Barriereabsenkungseffekt (DIBL) bezeichnet. Aufgrund dieses Effektes vergrößert sich der Lochdurchgangsstrom.

[0257] Bei dem Leseverfahren gemäß der fünften Ausführungsform wird, wie oben beschrieben, durch Anlegen einer Vorwärtsspannungs-Spannung an das Gate dieser Lochdurchgangsstrom unterdrückt. Bei einem n-Kanal-Transistor wirkt das Anlegen einer negativen Spannung an das Gate in einer Richtung, um die Potentialbarriere auf Seiten der Source, die aufgrund des DIBL-Effektes abgesenkt wurde, in den Ursprungszustand zurückzubringen.

[0258] Gemäß den Studien der Erfinder wird, wenn der Sub-Schwellenwertkoeffizient in einem Speichertransistor 100 mV/Dekade beträgt, wenn eine Vorwärtsspannungs-Spannung von $-0,5 \text{ V}$ an die Speicherzellenmatrix, die in Fig. 20 gezeigt ist, angelegt wird, der Leckstrom um 5 Größenordnungen verbessert. Wenn weiter der Sub-Schwellenwertkoeffizient 200 mV/Dekade beträgt, wobei eine Vorwärtsspannung von $-0,5 \text{ V}$ angelegt wird, wird der Leckstrom um 2 oder 3 Größenordnungen verbessert.

[0259] Aufgrund einer derartig großen Verbesserung des Leckstroms in einer nichtausgewählten Zelle wird, sogar wenn die Steuerleitung, die eine zu lesende Zelle gemeinsam nutzt, aktiviert ist und die nicht-ausgewählte Zelle eingeschaltet ist, nicht nur die Vergrößerung des Leckstroms durch das Anlegen der Vorwärtsspannungs-Spannung unterdrückt, sondern im Gegensatz dazu der Leckstrom reduziert. Als Ergebnis wird das S/N-Verhältnis (Signal-Rausch-Verhältnis) des Lesesignals verbessert.

[0260] Wenn insbesondere die Schwellenwertspannung des Löschzustands niedrig ist, d. h. ungefähr $0,1 \text{ V}$ beträgt, kann durch Wählen der Spannung V_{uw} (Vorwärtsspannung), die an die nicht-ausgewählte Wortleitungen angelegt wird, auf $0,5 \text{ V}$, der Leckstrom, wenn die Lese-Drain-Spannung auf $1,2 \text{ V}$ festgelegt wird, auf unter $10 \text{ nA}/\mu\text{m}$ unterdrückt werden. Da in diesem Zeitpunkt der Lesestrom größer als $50 \text{ MA}/\mu\text{m}$ ist, ist es, sogar wenn die Anzahl der Zellen in der Bitrichtung groß ist, noch ausreichend möglich, die Daten durch die Abtastverstärker zu ermitteln.

[0261] Weiter wurde als Ergebnis von verschiedenen Studien herausgefunden, daß, je kleiner die Schwellenwertspannung des Löschzustands ist, desto größer die Vorwärtsspannungs-Spannung absolutwertmäßig zu machen ist. Insbesondere wurde herausgefunden, daß, sogar wenn der Löschzustand in einem Verarmungsbereich ist, es möglich ist, den Absolutwert der Vorwärtsspannungs-Spannung um einen bestimmten Grad zu steigern, um den Leckstrom zu reduzieren und um eine präzise Leseoperation zu ermöglichen.

[0262] Der Wert dieser Vorwärtsspannungs-Spannung wurde durch ein Experiment bis zu einem Maß verifiziert, wo dieser Außer-Betriebs-Leckstrom reduziert wird, insbesondere weniger als 1 V absolut.

[0263] Das Leseverfahren zum Anlegen einer negativen Spannung (Vorwärtsspannungs-Spannung V_{uw}), wenn die Sourcespannung (Referenzspannung V_s) 0 V ist, ist äquivalent zum herkömmlichen Source-Vorspannungs-Leseverfahren zum Vorspannen der Source um eine positive Spannung und zum Einstellen des Gates auf 0 V hinsichtlich der Relativbeziehung von der Source und dem Gate. Folglich ist es möglich, das Leseverfahren nach der vorliegenden Ausführungsform zusammen mit dem Source-Vorspan-

nungs-Leseverfahren zu verwenden.

[0264] Die Größe der Vorwärtsspannungs-Spannung V_{uw} wird durch Betrachtung der Schreibstörung einer nicht-ausgewählten Zelle festgelegt.

[0265] Darauf studierten die Erfinder Lesestörungscharakteristik bei der Gate-Vorspannungs-Spannung von $-0,5 \text{ V}$. Das Fenster der Schwellenwertspannung nach 10 Jahren, welches durch Extrapolation des gemessenen Werts der Schwellenwertspannung gefunden wurde, war größer als $0,5 \text{ V}$. Daraus wurde bestätigt, daß eine Leseoperation in 10 Jahren mit einer Gate-Vorspannungs-Spannung von $-0,5 \text{ V}$ möglich sein würde.

[0266] Umgekehrt hängt der Maximalwert der Gate-Vorspannungs-Spannung (Vorwärtsspannungs-Spannung), der erhalten werden kann, der aus der Grenze der Lesestörungen herausgefunden wurde, von den Spezifikationen der ONO-Schicht ab, jedoch ist er grob $-1,0 \text{ V}$, wenn die Tunnelschicht (dielektrische Bodenschicht 6_1) $2,6$ bis $3,0 \text{ nm}$ beträgt.

[0267] Zusätzlich ist es bei der vorliegenden Ausführungsform, wenn ein MONOS-Transistor eine Heißträger-Injektions-Schreibmethode verwendet, möglich, die dielektrische Bodenschicht 6_1 zu ungefähr 4 nm zu machen. In diesem Fall wird durch Anlegen einer Vorwärtsspannungs-Spannung V_{uw} bis zu -1 V an die ausgewählten Wortleitungen die Datenhaltecharakteristik überragend und die Operation wird ohne Verschlechterung der Lesestörung möglich.

[0268] Aufgrund obiger Ausführungen wird durch Anlegen einer Vorwärtsspannungs-Spannung (beispielsweise einer negativen Spannung) an die nicht-ausgewählten Wortleitungen im Zeitpunkt einer Leseoperation es möglich, effektiv den Außer-Betrieb-Leckstrom zu reduzieren, wobei ein Lesestrom einer bestimmten Größe von den nicht-ausgewählten Zellen sichergestellt wird. Als Folge davon ist es möglich, das S/N-Verhältnis des Lesesignals anzuheben und die Betriebsverläßlichkeit des nicht-flüchtigen Halbleiterspeichers zu verbessern.

[0269] Bei einem nicht-flüchtigen Halbleiterspeicher gibt es üblicherweise jedoch eine Anpassungssequenz der Schwellenwertspannungen von Löschzuständen in Speichertransistoren durch Löschverifikation. Obwohl es möglich ist, die Schwellenwertspannungen von Löschzuständen in Speichertransistoren anzupassen, nimmt diese Sequenz eine ziemliche Zeit in Anspruch, wodurch man sich wünscht, daß der Verifikationsprozeß vereinfacht wird, um Hochgeschwindigkeits-Schreiboperationszyklen zu realisieren. Wenn hier die Schwellenwertspannungen der Löschzustände bis zu einem bestimmten Grad zusammenlaufen, ist es vom Gesichtspunkt eines Vergrößerns der Schreibgeschwindigkeit vorteilhaft, den Konvergenzprozeß der Schwellenwertspannungen zu stoppen, und dann den Leckstrom durch Ändern der Vorspannungsspannung bei der Leseoperation zu reduzieren.

[0270] Bei dem Leseverfahren nach der vorliegenden Erfindung trägt das Anlegen einer Vorwärtsspannungs-Spannung zu einem Vergrößern der Geschwindigkeit des Schreibzyklus in Verbindung mit einer Vereinfachung des Löschverifikationsprozesses bei.

[0271] Weiter beabsichtigt das Anlegen einer Vorwärtsspannungs-Spannung bei dem Leseverfahren nach der vorliegenden Erfindung nicht das Reduzieren des Leckstroms von den verarmten nicht-ausgewählten Speichertransistoren, sondern das Vermindern des Außer-Betriebs-Leckstroms der nicht-ausgewählten Speichertransistoren im Ausschaltzustand auf einen viel niedrigeren Pegel sogar mit keiner Gate-Vorspannung.

[0272] Wenn die Gatelänge kürzer als $0,13 \mu\text{m}$ gemacht

wird, ist die Spannung, die angelegt werden kann, begrenzt, und die Speicherkapazität in der Speicherzellenmatrix wird vergrößert, der Lesestrom fällt ab und der Außer-Betriebs-Strom, der durch den DIBL-Effekt hergeleitet wird, sammelt sich durch die Anzahl von nicht-ausgewählten Zellen an und wird auf den Bitleitungen überlagert, so daß der Abfall beim S/N-Verhältnis des Lesesignals ein sich vergrößerndes ernsthaftes Problem in der Zukunft sein wird.

[0273] Durch das Anwenden des Leseverfahrens nach der vorliegenden Erfindung ist ein genaues Lesen sogar in einer derartigen Situation möglich.

Modifikationen

[0274] Obwohl die Erfindung mit Hilfe der ersten bis fünften Ausführungsform zum Zwecke der Darstellung beschrieben wurde, ist es klar, daß zahlreiche Modifikationen dazu durchgeführt werden können, ohne das Grundkonzept und den Rahmen der Erfindung zu verlassen.

[0275] Beispielsweise ist der Aufbau der Ladungsspeicherschicht des Speichertransistors nicht auf die dielektrische Dreilagenschicht beschränkt, die bei einem sogenannten MONOS-Speichertransistor verwendet wird, wie bei den obigen Ausführungsformen gezeigt ist. Es gibt zwei Erfordernisse für die Ladungsspeicherschicht: sie muß aus mehreren gestapelten dielektrischen Schichten bestehen und sie muß in der Lage sein, eine Ladung zu halten. Es können verschiedene Ausbildungen, die diese beiden Punkte erfüllen, verwendet werden.

[0276] Beispielsweise kann bei einem sogenannten MNOS-Typus ein Zweilagenaufbau verwendet werden, der aus einer dielektrischen Bodenschicht, die aus Siliziumdioxid usw. besteht, und einer Schicht, darauf gestapelt ist, die aus Siliziumnitrid usw. besteht, und der in der Lage ist, eine Ladung zu halten, verwendet werden.

[0277] Es ist bekannt, daß eine dielektrische Schicht, die aus einem Metalloxid besteht, eine große Anzahl von Ladungshafstellen enthält. Diese kann als Schicht hergenommen werden, die eine Ladungsspeicherfähigkeit bei den MONOS- und MNOS-Transistoren hat.

[0278] Außerdem ist die Einrichtung zum Halten einer Ladung nicht auf Ladungshafstellen beschränkt, sondern sie kann auch aus Leitern bestehen. Bei dem am meisten bekannten sogenannten FG-Typus wird eine leitfähige Schicht, die aus polykristallinem Silizium usw. besteht, zwischen zwei dielektrischen Schichten angeordnet. Zusätzlich gibt es den Aufbau, bei dem feine Partikelleiter auf der dielektrischen Bodenschicht als Ladungsspeicherräger verstreut sind und die Leiter durch einen dielektrischen Isolationsfilm eingebettet sind.

[0279] Als typisches Beispiel des vorgenannten Speichertransistoraufbaus gibt es einen sogenannten Silizium-Nanokristall-Typus.

[0280] Bei einem Silizium-Nanokristall-Typus sind Silizium-Nanokristalle, die einen Durchmesser unter 10 nm haben, beispielsweise ungefähr 4,0 nm, auf der dielektrischen Bodenschicht, die aus Siliziumdioxid, Siliziumoxinitrid usw. besteht, gebildet und verstreut. Die Dicke der dielektrischen Bodenschicht liegt im Bereich von 2,6 nm bis 5,0 nm. Der Abstand zwischen den Silizium-Nanokristallen wird auf ungefähr beispielsweise 4,0 nm gehalten. Eine dielektrische Schicht, beispielsweise Siliziumdioxid, wird bis zu einer Dicke von wenigen Nanometern durch LP-CVD abgelagert, um diese räumlich verstreute große Anzahl von Silizium-Nanokristallen zu überdecken. Die Dicke dieser dielektrischen Schicht beträgt beispielsweise ungefähr 7 nm, wenn die Silizium-Nanokristalle einen Durchmesser von 4 nm haben.

[0281] Die gestapelte Schicht, die auf diese Art und Weise gebildet ist, kann als Ladungsspeicherschicht verwendet werden, die die Ladungsspeicherfähigkeit hat. Sogar in diesem Fall kann durch Anlegen einer Vorwärtvorspannungsspannung beim Leseverfahren nach der vorliegenden Erfindung der Außer-Betriebs-Strom für die nichtausgewählten Zellen effektiv reduziert werden, das S/N-Verhältnis des Lesesignals kann angehoben werden, und als Folge davon kann die Betriebsverläßlichkeit des nicht-flüchtigen Silizium-Nanokristall-Halbleiterspeichers verbessert werden.

[0282] Wenn man die Effekte nach der vorliegenden Erfindung zusammenfaßt, tritt gemäß der nicht-flüchtigen Halbleiterspeichereinrichtung und dem Verfahren zu dessen Betreiben und zum Herstellen, da die beiden Bits von gespeicherten Daten verläßlich unterschieden werden, keine Verwässerung der Speicherung auf, wenn die Einrichtung bei einer hohen Temperatur gehalten wird. Sogar beim Überschreiben wird die Schärfe der Verteilung der Schwellenwertspannung nicht verloren. Außerdem existiert ein Widerstand gegenüber einer Gesamtlöschung. Daher kann ein nicht-flüchtiger Halbleiterspeicher, der eine hohe Betriebsverläßlichkeit hat, realisiert werden. Da außerdem sogar bei einem Überschreiben die Menge der gespeicherten Ladung sich nicht mehr als auf einen bestimmten Wert vergrößert, wird die Löszeit so kurz wie möglich gehalten.

[0283] Da die geteilte Gatestruktur die Basisstruktur ist, ist die source-seitige Injektion im Zeitpunkt einer Schreiboperation möglich. Verglichen mit der normalen CHE-Injektion wird die Injektionseffektivität stark verbessert.

[0284] Wenn außerdem die Träger im Kanal in einer Schreib- oder Löschoperation beschleunigt werden, kann durch Anheben des Potentialgradienten im Hochwiderstandsbereich unter den Steuergateelektroden die Beschleunigungsspannung dazu verwendet werden, die Träger effektiv anzuregen, wobei der Energieverlust reduziert wird, wenn die Träger mit dem Gitter kollidieren. Somit wird die Wirksamkeit der Ladungsinjektion in die Ladungsspeicherschicht (Speicherbereiche der dielektrischen Gateschicht) verbessert, es wird die Schreibzeit abgekürzt, und es kann ein nicht-flüchtiger Halbleiterspeicher, der vorteilhaft ist, die Spannungen zu vermindern, realisiert werden.

[0285] Obwohl die Schreib-Lösch-Operation mit einer bestimmten Häufigkeit wiederholt wird, wird, sogar wenn eine Ladung in dem Bereich verbleibt, der nicht durch das elektrische Feld der Speichergateelektrode beeinträchtigt wird, der Effekt einer unabsichtlich gespeicherten Ladung auf dem Substrat ausreichend aufgrund des Vorhandenseins der dielektrischen Isolationssschicht geschwächt. Als Ergebnis wird der Leckstrom reduziert.

[0286] Der Außer-Betriebs-Leckstrom von einer nicht-ausgewählten Zelle, die eine Steuergateelektrode mit einer ausgewählten Zelle in der Speicherzellenmatrix gemeinsam nutzt, wird durch das Leseverfahren nach der vorliegenden Erfindung reduziert, bei der eine Vorwärtvorspannungsspannung an die nicht-ausgewählten Wortleitungen angelegt wird.

[0287] Daher wird die Betriebsverläßlichkeit des nicht-flüchtigen Halbleiterspeichers verbessert.

[0288] Sogar, wenn eine VG-Speicherzellenmatrix angewandt wird, ist darüber hinaus ein serieller Zugriff bei der Operation noch möglich. Insbesondere kann bei einer Schreiboperation, da das Schreiben in alle Speicherzellen, die mit einer Wortleitung verbunden sind, mit niedrigen zwei Operationszyklen beendet wird, zusammen mit der oben genannten Reduzierung der Schreibzeit ein nicht-flüchtiger Halbleiterspeicher, der eine sehr hohe Schreibleistung hat, realisiert werden.

[0289] Bei einer Leseoperation können alle Speicherzel-

len, die mit einer Wortleitung verbunden sind, durch vier Leseoperationszyklen gelesen werden.

[0290] Bei dem Verfahren zum Herstellen des nicht-flüchtigen Halbleiterspeichers gemäß der vorliegenden Erfindung wird der Prozeß zum Bereitstellen der Steuergateelektrode, wodurch sich die obigen verschiedenen Vorteile ergeben, durch genaues Hinzufügen von zwei Schichtbildungsschritten und einem Photolithographieschritt erreicht. Die Prozesse zum Bilden der dielektrischen Isolationsschicht werden durch genaues Hinzufügen eines Schichtbildungsschritts und eines Photolithographieschritts erreicht. Diese Schritte sind im Vergleich zum Gesamtherstellungsprozeß eines nicht-flüchtigen Halbleiterspeichers unbedeutend und verursachen keinen großen Anstieg der Herstellungskosten. Folglich werden die Bitkosten durch Speichern von 2 Datenbits in einer Zelle und unter Verwendung einer VG-Zellenmatrix stark reduziert.

Patentansprüche

1. Nichtflüchtiger Halbleiterspeicher, der umfaßt:
einen Kanalbildungsbereich, der aus einem Halbleiter besteht;
eine Ladungsspeicherschicht (6), die mehrere gestapelte dielektrische Schichten (6₁, 6₂, 6₃) umfaßt und eine Ladungsspeicherfähigkeit besitzt;
zwei Speicherbereiche (6a, 6b), die aus Bereichen der Ladungsspeicherschicht bestehen, die die beiden Enden des Kanalbildungsbereichs überlappen;
einer dielektrischen Einzellagenschicht (4), die den Kanalbildungsbereich zwischen den beiden Speicherbereichen kontaktiert;
eine Steuergateelektrode (5), die die dielektrische Einzellagenschicht (4) kontaktiert; und
eine Speichergateelektrode (7), welche die beiden Speicherbereiche kontaktiert und welche Bereiche aufweist, die die Speicherbereiche, die elektrisch miteinander kontaktiert sind, kontaktieren.
2. Nichtflüchtiger Halbleiterspeicher nach Anspruch 1, wobei der Kanalbildungsbereich umfaßt:
zwei äußere Kanalbereiche (Ch1a, Ch1b), die der Speichergateelektrode (7) über den Speicherbereichen zugewandt sind; und
einen inneren Kanalbereich (Ch2), der zwischen den beiden äußeren Kanalbereichen angeordnet ist und der Steuergateelektrode (5) über der dielektrischen Einzellagenschicht (4) zugewandt ist, und
wobei die Schwellenwertspannungen der drei Kanalbereichsarten der beiden äußeren Kanalbereiche und des inneren Kanalbereichs unabhängig gesteuert werden.
3. Nichtflüchtiger Halbleiterspeicher nach Anspruch 2, wobei die Schwellenwertspannungen der beiden äußeren Kanalbereiche gleich sind.
4. Nichtflüchtiger Halbleiterspeicher nach Anspruch 3, wobei die Schwellenwertspannungen der beiden äußeren Kanalbereiche niedriger sind als die Schwellenwertspannung des inneren Kanalbereichs.
5. Nichtflüchtiger Halbleiterspeicher nach Anspruch 1, wobei der Kanalbildungsbereich umfaßt:
zwei äußere Kanalbereiche (Ch1a, Ch1b), die der Speichergateelektrode (7) über den Speicherbereich zugewandt sind; und
einen inneren Kanalbereich (Ch2), der zwischen den beiden äußeren Kanalbereichen angeordnet ist und der Steuergateelektrode (7) über der dielektrischen Einzellagenschicht (4) zugewandt ist; und
wobei eine Länge des inneren Kanalbereichs, die durch den Abstand zwischen den beiden äußeren Kanalberei-

chen festgelegt ist, eine Länge ist, die es ermöglicht, daß sich Träger quasi-ballistisch in einem Kanal, der im Operationszeitpunkt gebildet wird, verschieben.

6. Nichtflüchtiger Halbleiterspeicher nach Anspruch 1, wobei die Speichergateelektrode die Steuerelektrode in einem elektrisch isolierten Zustand schneidet und die Speicherbereiche an den beiden Außenseiten der Steuergateelektrode kontaktiert.

7. Nichtflüchtiger Halbleiterspeicher nach Anspruch 6, der außerdem auf der Steuergateelektrode eine Ätzstoppschicht aufweist, die aus einem Dielektrikum mit einer Ätzrate besteht, die niedriger ist als die eines leitfähigen Materials, welches die Speichergateelektrode bildet.

8. Nichtflüchtiger Halbleiterspeicher nach Anspruch 1, der außerdem zwei Verunreinigungsbereiche umfaßt, die voneinander von den Speicherbereichsseiten über den Kanalbildungsbereich getrennt sind und aus einem Halbleiter bestehen, der einen umgekehrten Leitfähigkeitstypus zum Kanalbildungsbereich aufweist, und wobei die beiden Verunreinigungsbereiche Bitleitungen (EL) sind,

wobei die Speichergateelektrode eine Wortleitung (WL) ist, um Operationen zu steuern, die das Eingeben und Ausgeben von Ladungen zu oder von den Speicherbereichen umfassen, und
wobei die Steuergateelektrode eine Steuerleitung (CL) ist, um die Operationen zu unterstützen.

9. Nichtflüchtiger Halbleiterspeicher nach Anspruch 1, wobei die Speicherzelle umfaßt:

zwei Verunreinigungsbereiche, die voneinander über den Kanalbildungsbereich von den Speicherbereichsseiten isoliert sind und aus einem Halbleiter bestehen, der einen Leitfähigkeitstypus entgegengesetzt zum Kanalbildungsbereich aufweist;

einen Steuertransistor, der diese Steuergateelektrode als Gate hat und funktioniert, die beiden äußeren Kanalbereiche, die der Speichergateelektrode über den Speicherbereichen zugewandt sind, zur Source und zum Drain zu machen; und

zwei Speichertransistoren, die in Reihe über den Steuertransistor geschaltet sind, wobei jeder die Speichergateelektrode als Gate hat und jeder funktioniert, um den Kanalbereich zwischen dem Steuertransistor und einem der beiden Verunreinigungsbereiche zu einer Source oder einem Drain zu machen, und wobei:

diese mehreren Speicherzellen in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden; jeder der beiden Verunreinigungsbereiche längs in einer Richtung der Speicherzellenmatrix angeordnet ist und mehrere Speicherzellen gemeinsam nutzt; und die Steuergateelektrode im Spalt, der die beiden Verunreinigungsbereiche trennt, parallel zu den Verunreinigungsbereichen angeordnet ist und die mehreren Speicherzellen gemeinsam nutzt.

10. Nichtflüchtiger Halbleiterspeicher nach Anspruch 9, wobei jeder der beiden Verunreinigungsbereiche von einem Verunreinigungsbereich einer anderen Speicherzelle isoliert ist, die in einer Richtung senkrecht zur Längsrichtung angrenzt.

11. Nichtflüchtiger Halbleiterspeicher nach Anspruch 9, wobei jeder der beiden Verunreinigungsbereiche die Speicherzellen, die in einer Richtung senkrecht zur Längsrichtung angrenzen, gemeinsam nutzt.

12. Nichtflüchtiger Halbleiterspeicher nach Anspruch 9, wobei Speicherzellen, die in einer Richtung angrenzen, durch eine dielektrische Isolationsschicht isoliert

sind.

13. Nichtflüchtiger Halbleiterspeicher nach Anspruch 12, wobei die dielektrische Isolationsschicht in Streifen parallel zu den Speichergateelektroden unterhalb eines Spalts zwischen den Speichergateelektroden angeordnet ist.

14. Nichtflüchtiger Halbleiterspeicher nach Anspruch 12, wobei die dielektrische Isolationsschicht längs der Speichergateelektroden unterhalb eines Spalts zwischen den Speichergateelektroden angeordnet ist und auf den Verunreinigungsbereichen getrennt ist.

15. Nichtflüchtiger Halbleiterspeicher nach Anspruch 12, wobei die Speichergateelektrode (7) Seitenwände (7b) an den beiden Seiten in der Breitenrichtung besitzt, und jede der Seitenwände mit einem Rand der dielektrischen Isolationsschicht über die Ladungsspeicherschicht in einem Bereich überlappt ist, der an den Speicherbereich angrenzt.

16. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers, der einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsgebiete, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzen, zwei Speicherbereiche, die von Bereichen der Ladungsspeicherschicht umfaßt sind, die mit zwei Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebiete überlappt sind, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, welche die Speicherbereiche kontaktiert, und eine Gate-Elektrode auf der dielektrischen Einzellagenschicht, wobei die Operation, die eine Schreiboperation umfaßt, folgende Schritte umfaßt:

Anlegen einer vorher festgelegten Spannung zwischen den beiden Verunreinigungsgebieten, um den Verunreinigungsgebiet, der in der Nähe der zu beschreibenden Speicherbereichsseite angeordnet ist, zum Drain zu machen und um den anderen zur Source zu machen; Anlegen einer bestimmten Spannung an die Speichergateelektrode und an die Steuergateelektrode, um einen Kanal zwischen den beiden Verunreinigungsgebieten zu bilden; und

Injizieren eines Teils der Träger, die im Kanal injiziert sind, in den drainseitigen Speicherbereich.

17. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 16, welches beim Schritt zum Bilden des Kanals das Steuern der Spannungswerte umfaßt, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um einen Kanal, der einen Kanalwiderstand besitzt, unterhalb der beiden Speicherbereiche zu bilden, der verschieden ist von einem Kanalwiderstand unterhalb der dielektrischen Einzellagenschicht zwischen den beiden Verunreinigungsgebieten.

18. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 16, welches beim Bildungsschritt des Kanals einen Schritt zum Steuern der Werte von Spannungen umfaßt, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um ein hohes elektrisches Feld in einem Kanalbereich unterhalb der Steuergateelektrode und in einem Bereich des ersten Leitfähigkeitstypus-Halbleiters unterhalb eines Spalts zwischen der Steuergate-

lektrode und der Speichergateelektrode längs der Richtung der Ladungsinjektion in den Kanal zu bilden.

19. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers, der einen Kanalbildungsbereich umfaßt, der einen ersten Leitfähigkeitstypus-Halbleiter aufweist, zwei Verunreinigungsgebiete, die einen zweiten Leitfähigkeitstypus-Halbleiter umfassen und voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten aufweist und eine Ladungsspeicherfähigkeit besitzt, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit den beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebiete überlappten, eine dielektrischen Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht, wobei die Operation eine Schreiboperation umfaßt, die folgende Schritte umfaßt:

Anlegen einer Spannung zwischen der Speichergateelektrode und dem Verunreinigungsgebiet, der auf der Speicherbereichsseite angeordnet ist, wo die Daten zu schreiben sind, in einer Richtung, um den Verunreinigungsgebiet zu invertieren;

Erzeugen von hohen Energieladungen durch Lawinendurchbruch, der in einer Inversionsschicht des Verunreinigungsgebiet im Zeitpunkt des Anlegens der Spannung verursacht wird; und

Injizieren eines Teils der erzeugten hohen Energieladung in den Speicherbereich der Seite, wo Daten geschrieben werden sollen.

20. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 19, welches, bei der Schreiboperation, das Ändern des Potentials in diesem Kanalbildungsbereich unterhalb der dielektrischen Einzellagenschicht gemäß dem Potential der Steuergateelektrode umfaßt, um die Injektionsposition der hohen Energieladungen zu steuern.

21. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 16, welches eine Löschoperation umfaßt, welches folgende Schritte aufweist:

Anlegen einer Spannung zum Invertieren des Verunreinigungsgebiet zwischen dem Verunreinigungsgebiet, der an der Seite des Speicherbereichs angeordnet ist, der die zu löschenden gespeicherten Daten hält, und der Speichergateelektrode;

Erzeugen von hohen Energieladungen einer Polarität entgegengesetzt zur Ladung, die im Zeitpunkt der Schreiboperation injiziert wird, aufgrund eines Lawinendurchbruchs oder einer Band-zu-Band-Durchtunnung, die in einer Inversionsschicht des Verunreinigungsgebiet im Zeitpunkt des Anlegens der Spannung verursacht wird;

Injizieren eines Teils der erzeugten hohen Energieladung in den Speicherbereich, der die gespeicherten Daten hält.

22. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers gemäß Anspruch 19, welches eine Löschoperation umfaßt, welches folgende Schritte umfaßt:

Anlegen einer vorher festgelegten Spannung zwischen den beiden Verunreinigungsgebieten, um so den Verunreinigungsgebiet auf der Seite des Speicherbereichs, der die zu löschenden gespeicherten Daten hält, zum Drain zu machen, und um den anderen Verunrei-

gungsbereich zur Source zu machen;
Anlegen bestimmter Spannungen an die Speichergateelektrode und die Steuergateelektrode, um einen Kanal zwischen den beiden Verunreinigungsbereichen zu bilden; und

Injizieren eines Teils der Träger, die eine entgegengesetzte Polarität zu der Ladung haben, die im Zeitpunkt der Schreiboperation injiziert wird und die in den Kanal injiziert wurden, in den Speicherbereich, der die zu löschenden gespeicherten Daten hält.

23. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 22, welches beim Schritt zum Bilden des Kanals einen Schritt zum Steuern der Werte von Spannungen umfaßt, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um einen Kanal zu bilden, der einen Kanalwiderstand unterhalb der beiden Speicherbereiche hat, der gegenüber einem Kanalwiderstand unterhalb der dielektrischen Einzellagenschicht zwischen den beiden Verunreinigungsbereichen verschieden ist.

24. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 16, welches eine Leseoperation umfaßt, welches folgende Schritte aufweist:

Anlegen einer Spannung zwischen den beiden Verunreinigungsbereichen, um so den Verunreinigungsbereich auf der Seite des Speicherbereichs, der die zu lesenden gespeicherten Daten hält, zur Source zu machen, und um den anderen Verunreinigungsbereich zum Drain zu machen;

Anlegen bestimmter Spannungen an die Speichergateelektrode und an die Steuergateelektrode; und

Ändern des Vorhandenseins oder des Nichtvorhandenseins der Ladung oder der Ladungsmengendifferenz im Speicherbereich gemäß den gespeicherten Daten in die Strommenge, die im Kanalbildungsbereich fließt, oder in die Menge der Spannungsänderung der Verunreinigungsbereiche, um die gespeicherten Daten zu lesen.

25. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers gemäß Anspruch 19, welches eine Leseoperation umfaßt, welches folgende Schritte aufweist:

Anlegen einer Spannung zwischen den beiden Verunreinigungsbereichen, um so den Verunreinigungsbereich auf der Seite des Speicherbereichs, der die zu lesenden gespeicherten Daten hält, zur Source zu machen, und um den anderen Verunreinigungsbereich zum Drain zu machen;

Anlegen bestimmter Spannungen an die Speichergateelektrode und die Steuergateelektrode; und

Ändern des Vorhandenseins oder Nichtvorhandenseins der Ladung oder der Ladungsmengendifferenz im Speicherbereich gemäß den gespeicherten Daten, in die Strommenge, die im Kanalbildungsbereich fließt, oder in die Menge der Spannungsänderung des Verunreinigungsbereichs, um die gespeicherten Daten zu lesen.

26. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers, der Speicherzellen umfaßt, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede der Speicherzellen einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsbereiche, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzt, zwei Speicherbereiche, die aus Bereichen der

Ladungsspeicherschicht besteht, die mit zwei Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Speichergateelektrode unter den mehreren Zellen in der Trennrichtung der Verunreinigungsbereiche gemeinsam genutzt wird und eine Wortleitung umfaßt; wobei jede der beiden Verunreinigungsbereiche unter mehreren Zellen in der Richtung senkrecht zur Wortleitung gemeinsam genutzt wird und eine Bitleitung umfaßt; und wobei die Steuergateelektrode parallel zur Bitleitung angeordnet ist und unter den mehreren Zellen in einer Richtung senkrecht zur Wortleitung gemeinsam genutzt wird, wobei das Verfahren eine Leseoperation umfaßt, welche einen Schritt aufweist, eine Spannung einer Richtung anzulegen, die eine Vorwärtsspannung im Kanalbildungsbereich zu einer nicht-ausgewählten Wortleitung in einer Reihe, die keine zu lesende Speicherzelle umfaßt, liefert.

27. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 26, wobei die Speicherzelle zwei Speicherbereiche an den Seiten der beiden Verunreinigungsbereiche hat, und in der Speicherzelle ein Steuertransistor eine Steuergateelektrode als Gate hat und funktioniert, um die beiden äußeren Kanalbereiche, die der Speichergateelektrode über die beiden Speicherbereiche gegenüberliegen, zur Source und zum Drain zu machen, und zwei Speichertransistoren die Speichergateelektrode als Gate haben und funktionieren, um den Kanalbereich des Steuertransistors und einen der beiden Verunreinigungsbereiche zur Source oder zum Drain zu machen, die in Reihe über den Steuertransistor verbunden sind.

28. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 26, welches beim Schritt zum Anlegen einer Spannung einer Richtung, die eine Vorwärtsspannung liefert, einen Schritt zum Anlegen einer negativen Spannung in bezug auf die Sourcespannung an die nicht-ausgewählte Wortleitung, wenn der Kanalbildungsbereich ein p-Halbleiter ist, umfaßt.

29. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 26, wobei die Spannung einer Richtung, die eine Vorwärtsspannung liefert, ein Wert innerhalb eines Spannungsbereichs ist, wo Speicherzellen, die mit einer nicht-ausgewählten Wortleitung verbunden sind und in der gleichen Spalte wie die zu lesende Speicherzelle angeordnet sind, nicht fehlerhaft gelesen werden.

30. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 26, wobei ein Absolutwert der Spannung in einer Richtung, die eine Vorwärtsspannung liefert, kleiner als 1 V ist.

31. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers, welcher mehrere Speicherzellen umfaßt, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede Speicherzelle einen Kanalbildungsbereich umfaßt, der einen ersten Leitfähigkeitstypus-Halbleiter umfaßt, zwei Verunreinigungsbereiche, die einen zweiten Leitfähigkeitstypus-Halbleiter umfassen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten aufweist und eine Ladungsspeicherfähigkeit

higkeit hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichsseiten überlappen, einer dielektrischen Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Gateelektroden in der gleichen Reihe durch eine Wortleitung verbunden sind, jeder der beiden Verunreinigungsbereiche längs in der Spaltenrichtung angeordnet ist und zwischen den Speicherzellen, die in der Reihenrichtung angrenzen, gemeinsam genutzt wird; und die Steuergateelektrode längs in der Spaltenrichtung angeordnet ist und zwischen Speicherzellen in der gleichen Spalte gemeinsam genutzt wird.

wobei das Verfahren folgende Schritte umfaßt:

Ansteuern der Steuergateelektroden, um die Speicherzellenmatrix elektrisch zu teilen; und

Ansteuern der Verunreinigungsbereiche und der Wortleitungen, um Daten parallel in mehrere Zellen in der geteilten Speicherzellenmatrix zu schreiben, zu lesen oder zu löschen.

32. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 31, wobei die Schreib- oder Löschoperation folgende Schritte umfaßt:

Anlegen einer vorher festgelegten Spannung zwischen den beiden Verunreinigungsbereichen, um so den Verunreinigungsbereich auf der Seite des Speicherbereichs, wo Speicherdaten zu schreiben sind, zum Drain zu machen, um den anderen Verunreinigungsbereich zur Source zu machen;

Anlegen von bestimmten Spannungen an die Speichergateelektrode und die Steuergateelektrode, um einen Kanal zwischen den beiden Verunreinigungsbereichen zu bilden;

Injizieren eines Teils der Träger, die im Kanal injiziert sind, in den drainseitigen Speicherbereich.

33. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 32, welches beim Schritt zum Bilden eines Kanals einen Schritt zum Steuern der Werte von Spannungen umfaßt, die an die Speichergateelektrode und die Steuergateelektrode angelegt werden, um einen Kanal, der einen Kanalwiderstand aufweist, unterhalb der beiden Speicherbereiche zu bilden, der gegenüber einem Kanalwiderstand unterhalb der dielektrischen Einzellagenschicht zwischen den beiden Verunreinigungsbereichen verschieden ist.

34. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 31, welches folgende Schritte umfaßt:

Anlegen bei jeder bestimmten Anzahl von Steuergateelektroden einer Ausschaltspannung, um eine Speicherzelle in einem inaktiven Zustand zu verschieben, wo es unmöglich ist, den Kanal einzuschalten;

Schreiben, Lesen oder Löschen parallel in Speicherzellen im aktiven Zustand zwischen Speicherzellen, die aufgrund der Teilung in den inaktiven Zustand versetzt sind; und

Wiederholung des Teilungsschritts der Speicherzellenmatrix und des Schreib-, Lese- oder Löschschritts der Speicherzellen im aktiven Zustand, wobei die Steuergateelektroden, an denen die Ausschaltspannung angelegt ist, in einer Richtung verschoben werden.

35. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers, der mehrere Speicherzellen um-

faßt, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede der Speicherzellen einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsbereiche, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten umfaßt und die eine Ladungsspeicherfähigkeit hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsbereichsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Speichergateelektroden in der gleichen Reihe über eine Wortleitung verbunden sind; jede der beiden Verunreinigungsbereiche längs in der Spaltenrichtung angeordnet ist und unter Speicherzellen, die in der Reihenrichtung angrenzen, gemeinsam genutzt wird; und die Steuergateelektrode längs in der Spaltenrichtung angeordnet ist und unter Speicherzellen in der gleichen Spalte gemeinsam genutzt wird, wobei das Verfahren eine Schreiboperation umfaßt, welches folgende Schritte aufweist:

abwechselndes Anlegen einer Schreib-Drain-Spannung und einer Referenzspannung an die Verunreinigungsbereiche in der Speicherzellenmatrix;

Anlegen einer Einschaltspannung (ON) zum Verschieben eines Kanals von einem Ausschaltzustand (OFF) zu einem möglichen Einschaltzustand (ON) an die Steuergateelektrode in Kombination gemäß den zu schreibenden Daten;

Auswählen eines Speicherbereichs, der zwischen der Steuergateelektrode, an die die Einschaltspannung angelegt ist, und dem Verunreinigungsbereich, an den die Schreib-Drain-Spannung angelegt ist, angeordnet ist;

Anlegen einer bestimmten Spannung an eine Wortleitung einer ausgewählten Reihe, in die die Daten zu schreiben sind, um den Kanal unterhalb dem ausgewählten Speicherbereich einzuschalten und um einen Teil der Träger, die im Kanal injiziert sind, in den ausgewählten Speicherbereich zu injizieren;

Nochmals-Anlegen der Schreib-Drain-Spannung und der Referenzspannung an die Verunreinigungsbereiche in der Speicherzellenmatrix, wobei die Anlegungsorte umgeschaltet werden;

Nochmals-Anlegen der Einschaltspannung an die Steuergateelektrode in Kombination gemäß den zu schreibenden Daten;

Auswählen des verbleibenden Speicherbereichs, der gegenüber dem obigen Speicherbereich verschieden ist; und

Nochmals-Anlegen der Spannung an die Wortleitung und Einschalten des Kanals unterhalb des ausgewählten Speicherbereichs und Injizieren eines Teils des Trägers, die im Kanal injiziert sind, in den ausgewählten Speicherbereich.

36. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 35, welches folgende Schritte umfaßt:

Fixieren des Potentials der Verunreinigungsbereiche und in diesem Zustand sukzessives Auswählen der Wortleitung, mit der die mit Daten zu beschreibende Speicherzelle verbunden wird, und Wiederholen der

Auswahl des Speicherbereichs und der Trägerinjektion in den ausgewählten Speicherbereich, während das Anlegen der Einschaltspannung an die Steuergateelektrode gemäß den zu schreibenden Daten für jede ausgewählte Wortleitung für alle Wortleitungen in der Speicherzellenmatrix geändert wird;

Nochmals-Anlegen der Schreib-Drain-Spannung und der Referenzspannung an die Verunreinigungsgebiete in der Speicherzellenmatrix, während die Anlegungsorte umgeschaltet werden; und

Fixieren des Potentials der Verunreinigungsgebiete und in diesem Zustand sukzessives Auswählen der Wortleitung, mit der die mit Daten zu beschreibende Speicherzelle verbunden ist, und Wiederholen der Auswahl des Speicherbereichs und der Trägerinjektion in den ausgewählten Speicherbereich, während das Anlegen der Einschaltspannung an die Steuergateelektrode gemäß den zu schreibenden Daten für jede ausgewählte Wortleitung für alle Wortleitungen in der Speicherzellenmatrix geändert wird.

37. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers, der mehrere Speicherzellen umfaßt, die in einer Matrix angeordnet sind, um eine Speicherzellenmatrix zu bilden, wobei jede Speicherzelle einen Kanalbildungsbereich umfaßt, der aus einem ersten Leitfähigkeitstypus-Halbleiter besteht, zwei Verunreinigungsgebiete, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und die voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere dielektrische gestapelte Schichten umfaßt und die eine Ladungsspeicherfähigkeit hat, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die mit beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebietsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode, die die Speicherbereiche kontaktiert, und eine Steuergateelektrode auf der dielektrischen Einzellagenschicht; wobei die Speichergateelektroden in der gleichen Reihe durch eine Wortleitung verbunden sind; jeder der beiden Verunreinigungsgebiete längs in der Spaltenrichtung angeordnet ist und zwischen Speicherzellen, die in der Reihenrichtung angrenzen, genutzt werden; und die Steuergateelektrode längs in der Spaltenrichtung angeordnet ist und zwischen Speicherzellen in der gleichen Spalte gemeinsam genutzt wird,

wobei das Verfahren, welches eine Leseoperation aufweist, folgende Schritte umfaßt:

einen ersten Leseschritt zum Lesen eines Speicherbereichs in den ungeradzahlig-numerierten Speicherzellen, die in der gleichen Reihe der Speicherzellenmatrix enthalten sind;

einen zweiten Leseschritt zum Lesen des anderen Speicherbereichs der ungeradzahlig-numerierten Speicherzellen, die in der gleichen Reihe enthalten sind;

einen dritten Leseschritt zum Lesen eines Speicherbereichs von geradzahlig-numerierten Speicherzellen, die in der gleichen Reihe enthalten sind; und

einen vierten Leseschritt zum Lesen des anderen Speicherbereichs der geradzahlig-numerierten Speicherzellen, die in der gleichen Reihe enthalten sind.

38. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 37, wobei die Leseoperation folgende Schritte umfaßt:

Zurücksetzen, um eine Referenzspannung an alle Verunreinigungsgebiete anzulegen und um eine Aus-

schaltspannung an alle Steuergateelektroden anzulegen;

Auswählen der ungeradzahlig-numerierten Speicherzellen oder der geradzahlig-numerierten Speicherzellen durch abwechselndes Anlegen an die Steuergateelektroden in der Speicherzellenmatrix einer Einschaltspannung, um einen Kanal von einem Ausschaltzustand zu einem möglichen Einschaltzustand zu verschieben, und eine Ausschaltspannung, um den Kanal im Ausschaltzustand zu halten;

Ändern der Speicherzellen, die durch Umschalten des Anlegens der Einschaltspannung und der Ausschaltspannung ausgewählt wurden;

abwechselndes Anlegen an die Verunreinigungsgebiete in der Speicherzellenmatrix der Referenzspannung und der Lese-Drain-Spannung, um ein Paar der Speicherbereiche auf den beiden Seiten eines Verunreinigungsgebiets auszuwählen, an den die Referenzspannung angelegt wird; und

Ändern des Paares von Speicherbereichen, die durch Umschalten des Anlegens der Referenzspannung und der Lese-Drain-Spannung ausgewählt wurden.

39. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 38, wobei eine Leseoperation bezüglich mehrerer Speicherzellen in der gleichen Reihe folgende Schritte umfaßt:

Zurücksetzen;

Auswählen eines Paares von Speicherbereichen;

Durchführen einer ersten Leseoperation durch Auswählen einer Speicherzelle;

Durchführen einer zweiten Leseoperation durch Ändern der ausgewählten Speicherzelle;

Zurücksetzen;

Durchführen einer dritten Leseoperation durch Auswählen einer Speicherzelle; und

Durchführen einer vierten Leseoperation durch Ändern der ausgewählten Speicherzelle.

40. Verfahren zum Betreiben eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 37, welches folgende Schritte umfaßt:

Durchführen einer der ersten bis vierten Leseschritte wiederholt für alle Wortleitungen in der Speicherzellenmatrix, wobei die Spannungsanlegungsbedingungen der Verunreinigungsgebiete und der Steuergateelektroden fixiert sind;

Ändern der Spannungsanlegungszustände der Verunreinigungsgebiete und der Steuergateelektroden, um eine Auswahl einer der verbleibenden Schritte unter dem ersten bis vierten Leseschritt zu ermöglichen; und wiederholtes Durchführen der Leseschritte unter konstanten Spannungsanlegungszuständen für alle Reihen in der Speicherzellenmatrix und des Schritts zum Ändern der Spannungsanlegungszustände, bis alle Speicherbereiche in der Speicherzellenmatrix gelesen sind.

41. Verfahren zum Herstellen eines nicht-flüchtigen Halbleiterspeichers, der eine Speicherzelle aufweist, die einen Kanalbildungsbereich umfaßt, die einen ersten Leitfähigkeitstypus-Halbleiter umfaßt, zwei Verunreinigungsgebiete, die aus einem zweiten Leitfähigkeitstypus-Halbleiter bestehen und voneinander über den Kanalbildungsbereich getrennt sind, eine Ladungsspeicherschicht, die mehrere gestapelte dielektrische Schichten umfaßt und eine Ladungsspeicherfähigkeit besitzt, zwei Speicherbereiche, die aus Bereichen der Ladungsspeicherschicht bestehen, die die beiden Enden des Kanalbildungsbereichs an den beiden Verunreinigungsgebietsseiten überlappen, eine dielektrische Einzellagenschicht, die den Kanalbildungsbereich

zwischen den Speicherbereichen kontaktiert, eine Speichergateelektrode auf den Speicherbereichen, und eine Steuergateelektrode auf der dielektrischen Einzellschicht, wobei das Verfahren folgende Schritte umfaßt:

Bilden auf dem ersten Leitfähigkeitstypus-Halbleiter eines Musters der dielektrischen Einzellschicht und der Steuergateelektrode auf der dielektrischen Schicht;

Bilden der Ladungsspeicherschicht, welche die Oberfläche des Musters und die Oberfläche des ersten Leitfähigkeitstypus-Halbleiters überdeckt;

Bilden von Seitenwänden, die aus einem leitfähigen Material bestehen, die den Seitenflächen des Musters über die Ladespeicherschicht auf dem Teil der Ladungsspeicherschicht, die den Speicherbereich bildet, zugewandt sind;

Dotieren einer zweiten Leitfähigkeitstypus-Verunreinigung in den ersten Leitfähigkeitstypus-Halbleiter außerhalb der Seitenwände, wobei die Seitenwände und das Muster als Masken verwendet werden, um die beiden Verunreinigungsbereiche zu bilden, die einen zweiten Leitfähigkeitstypus aufweisen; und

Bilden einer leitfähigen Schicht, um die Speichergateelektrode zusammen mit den Seitenwänden zu bilden und zum Bearbeiten der leitfähigen Schicht, um die Speichergateelektrode zu bilden.

42. Verfahren zum Herstellen eines nicht-flüchtigen Halbleiterspeichers nach Anspruch 41, welches folgende Schritte umfaßt:

Dotieren einer Verunreinigung, um die Schwellenwertspannung eines Teils des Kanalbildungsbereichs unter der Steuergateelektrode zu bilden, in einen Gesamtoberflächenbereich des ersten Leitfähigkeitstypus-Halbleiters;

Bilden des Musters; und

Hinzufügen der Verunreinigung zu einem Teil des Kanalbildungsbereichs um das Muster herum, um dessen Schwellenwertspannung einzustellen.

Hierzu 21 Seite(n) Zeichnungen

- Leerseite -

FIG. 1A

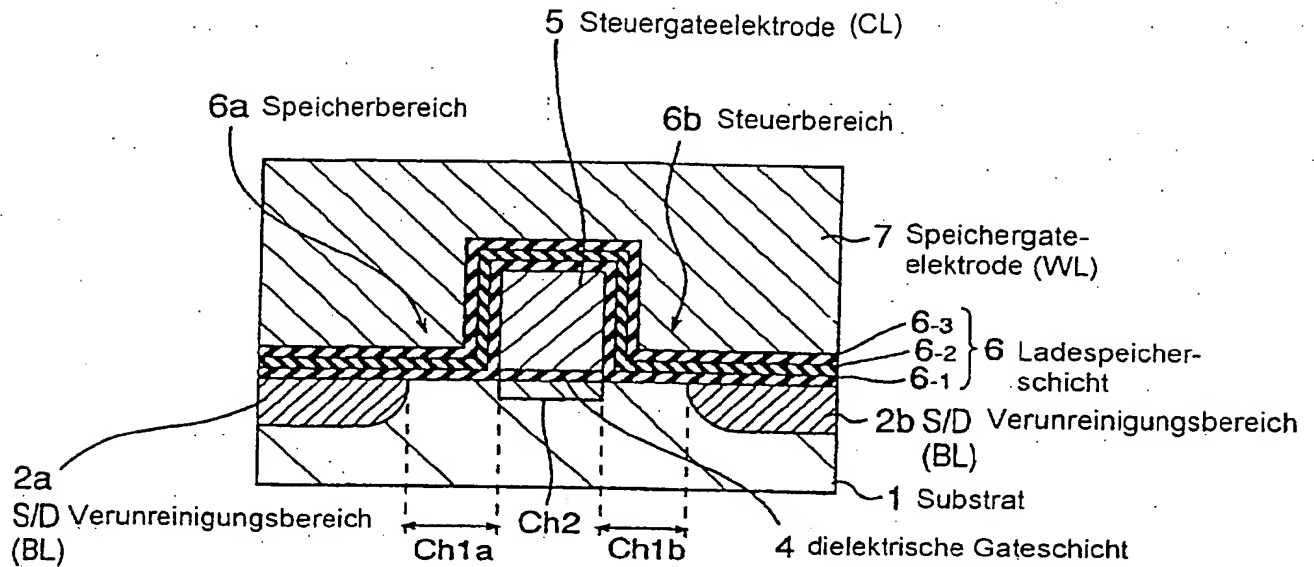
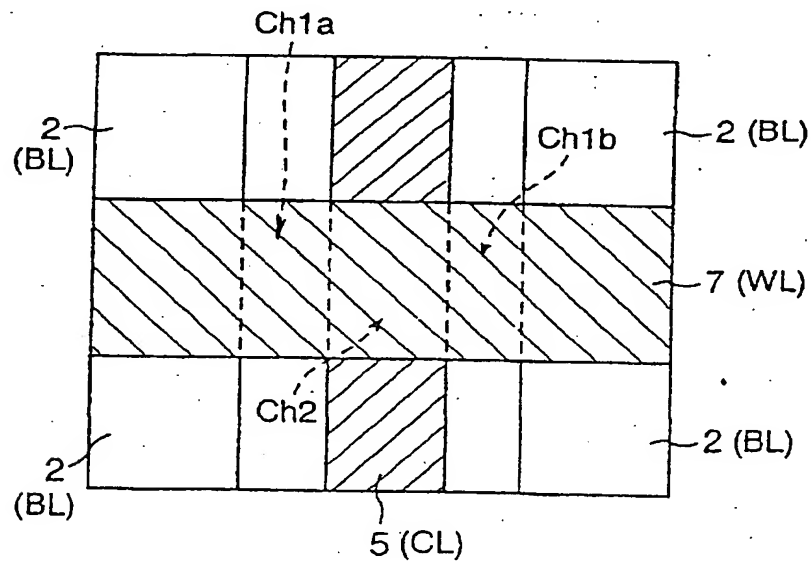


FIG. 1B



The diagram shows a unit cell of a crossbar array. It consists of three vertical lines labeled BL (Bit Line), CL (Column Line), and BL (Bit Line) from left to right. A horizontal line labeled WL (Word Line) intersects these. A horizontal line labeled M (Memory) is positioned below the WL. Three access transistors are shown, each formed by a vertical line segment on the WL and a horizontal line segment on the M. The central access transistor is connected to the CL. The two side access transistors are connected to the BL lines. The M line is shown as a solid line with a dashed line segment in the center, indicating a connection to the central access transistor.

FIG.3

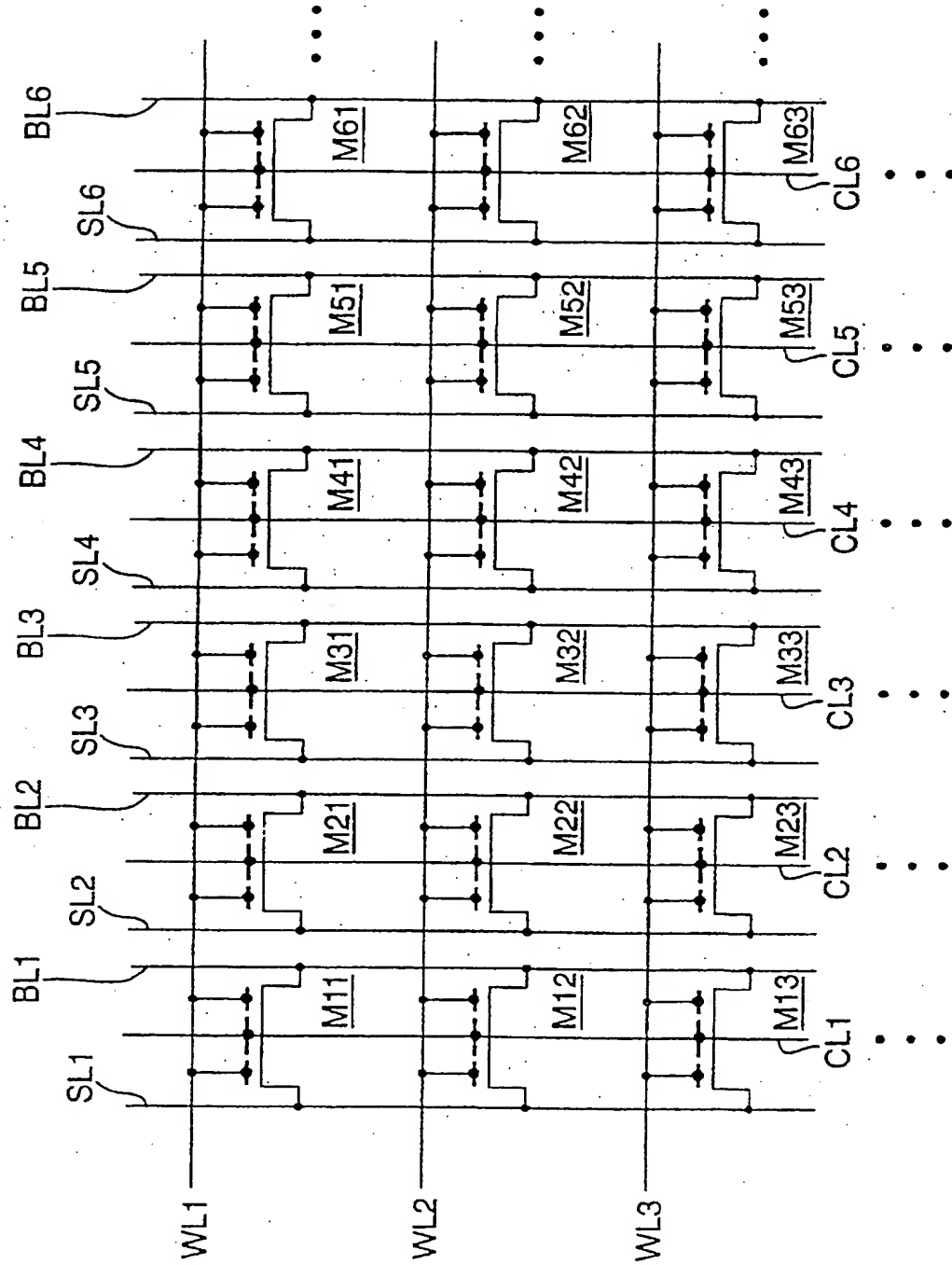


FIG.4

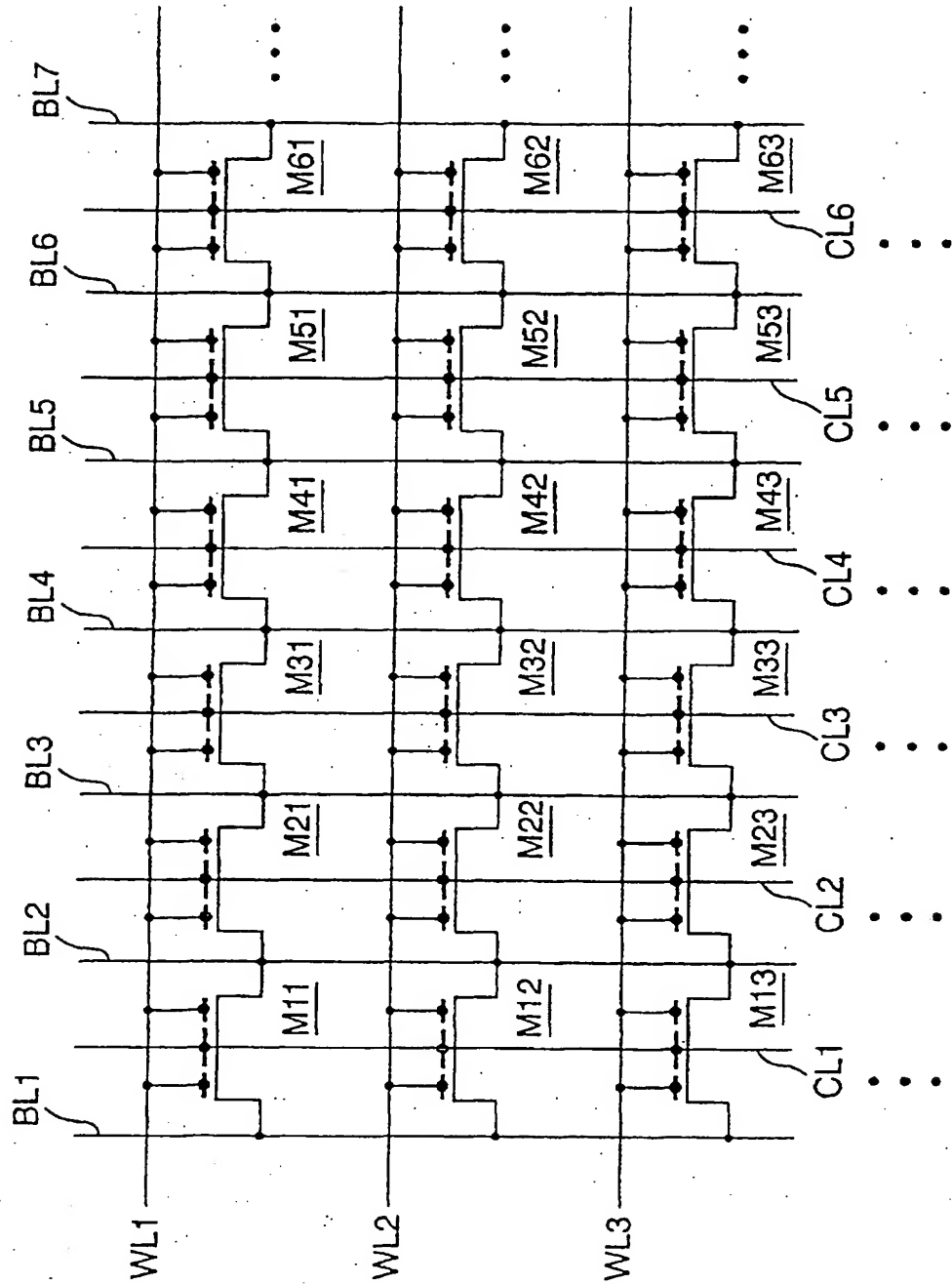


FIG.5A

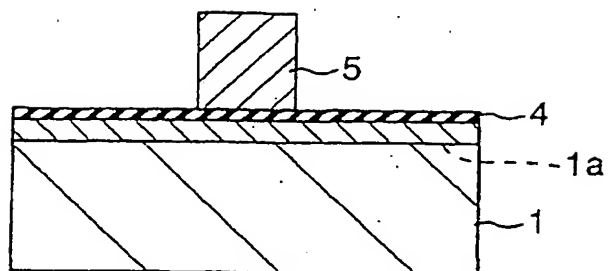


FIG.5B

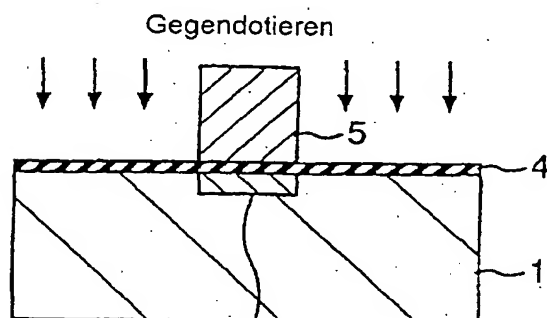


FIG.5C

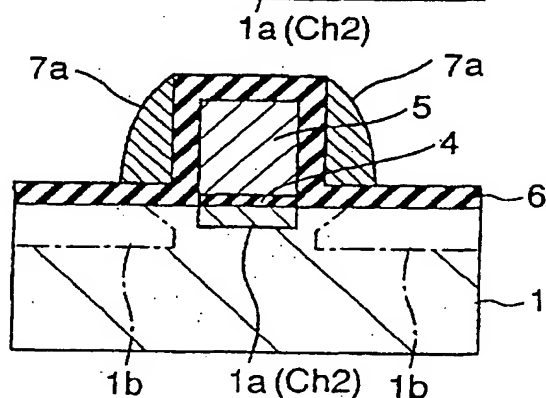
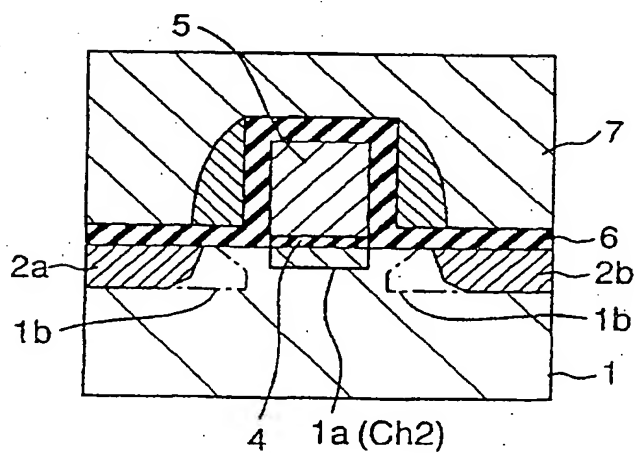


FIG.5D



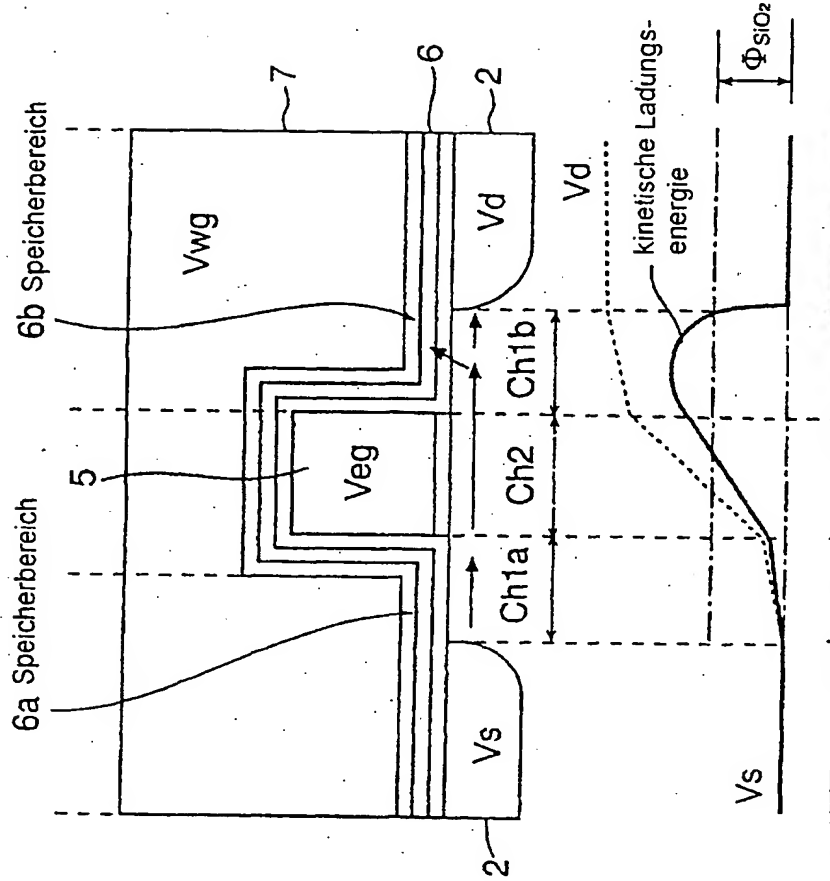


FIG. 6A

FIG. 6B

FIG. 7

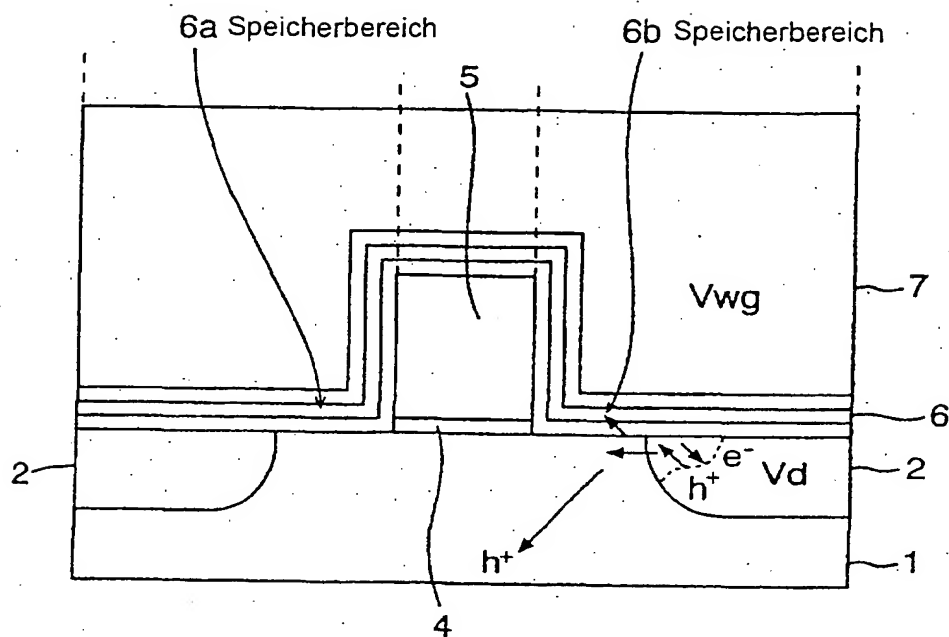


FIG. 8

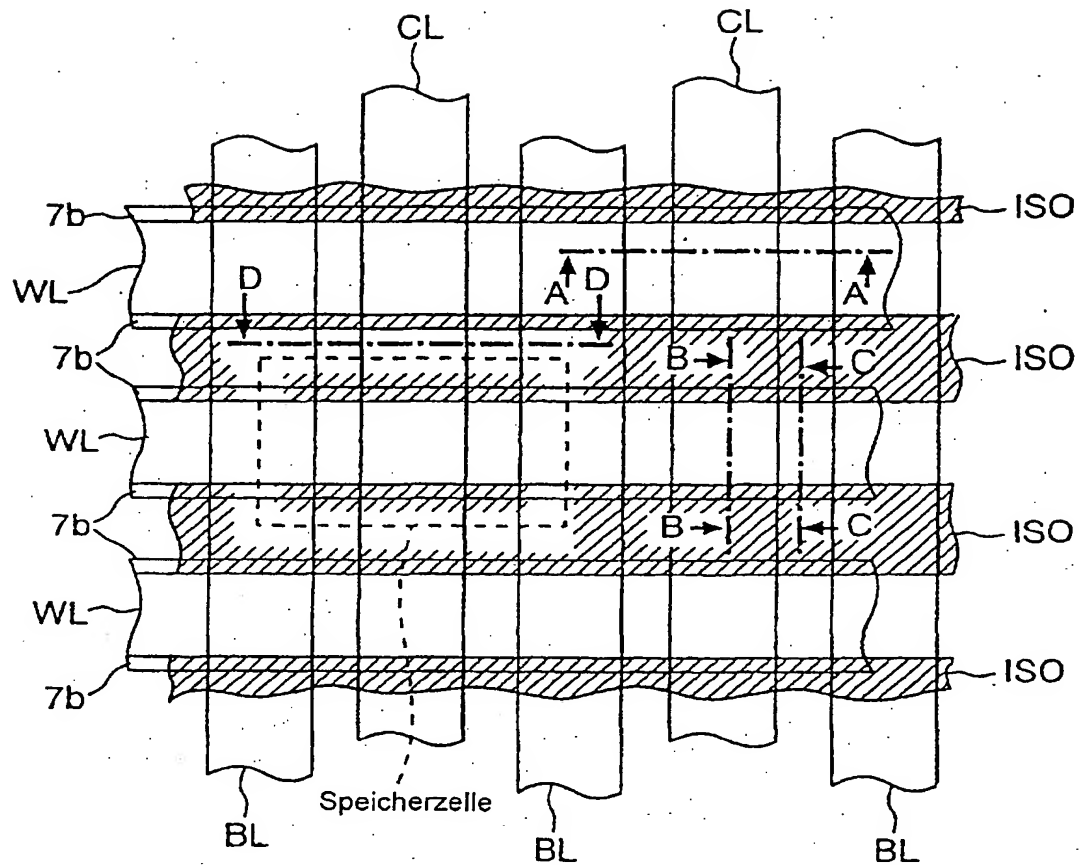


FIG. 9A

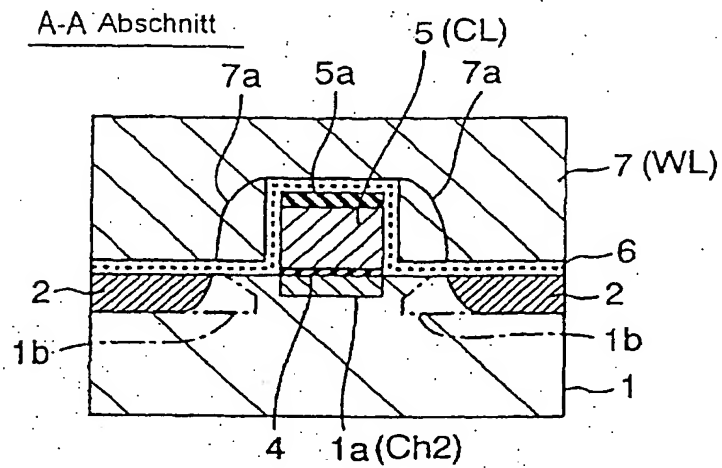


FIG. 9B

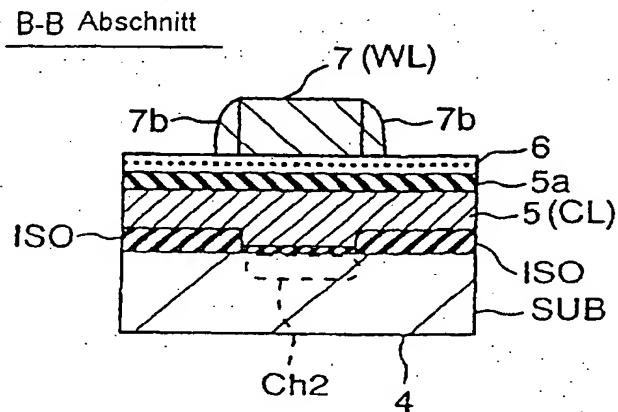


FIG. 9C

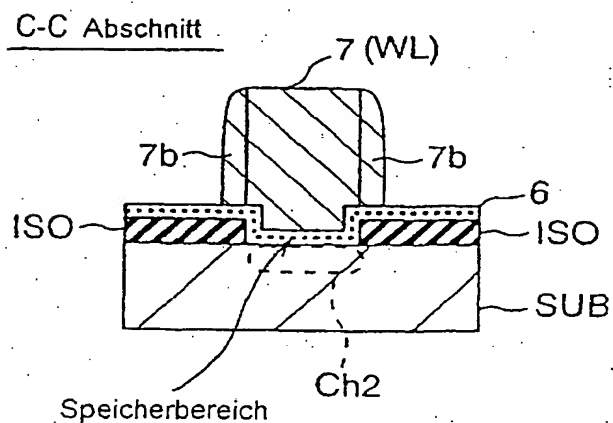


FIG.10A

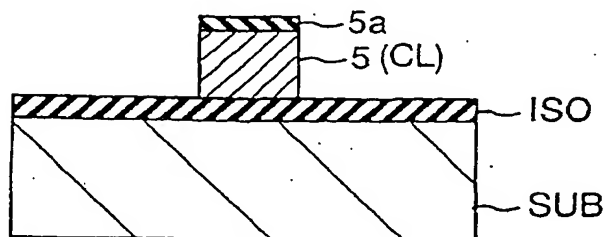


FIG.10B

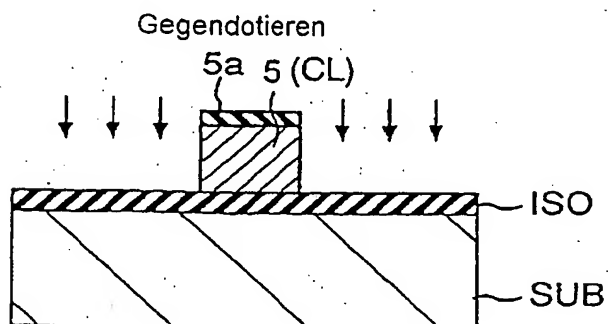


FIG.10C

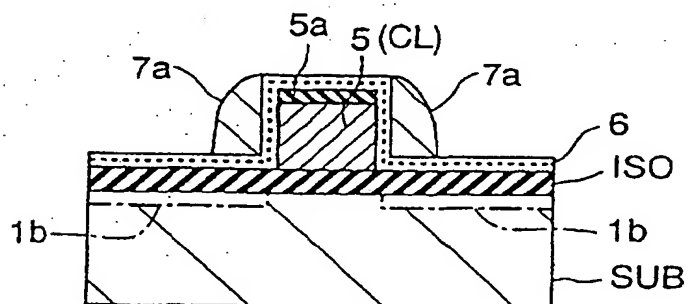


FIG.10D

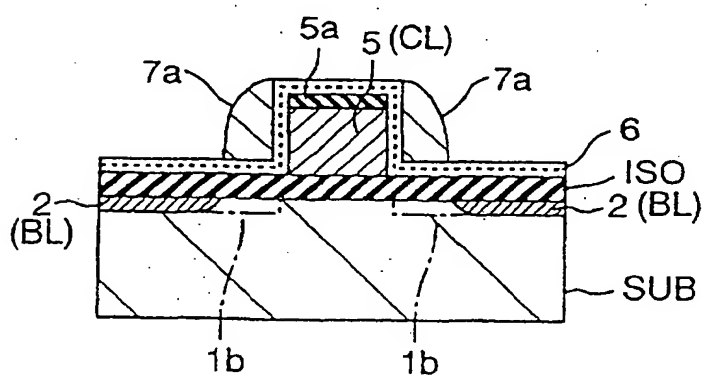


FIG. 11

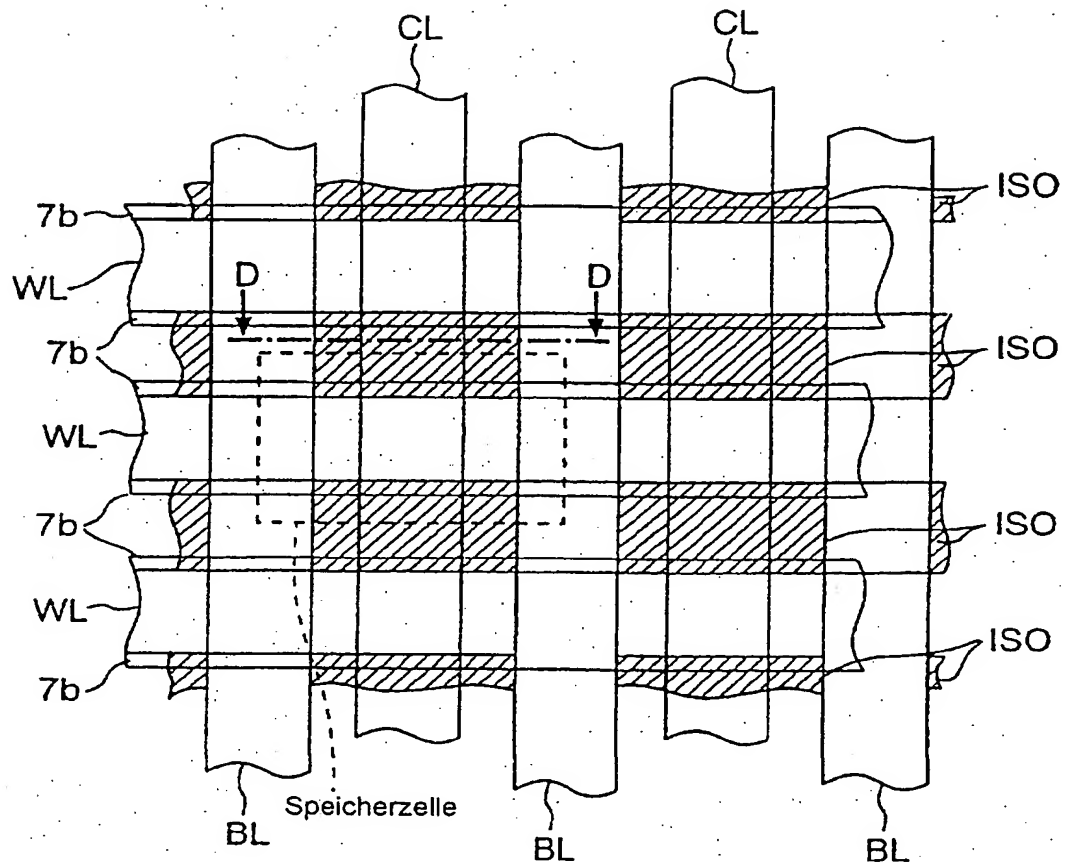


FIG.12A

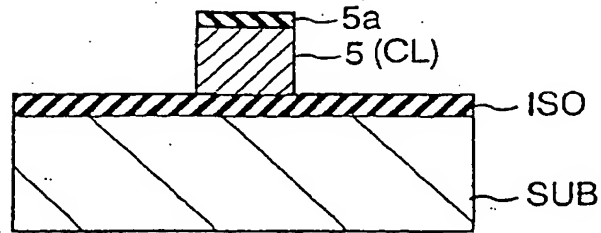


FIG.12B

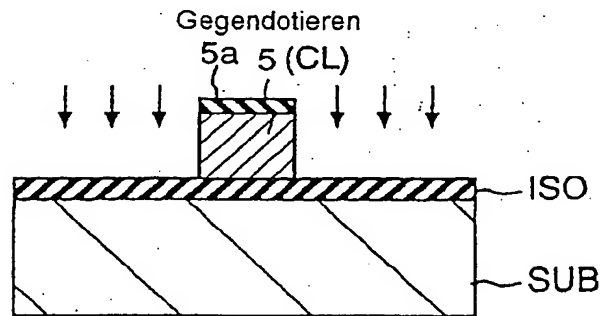


FIG.12C-1

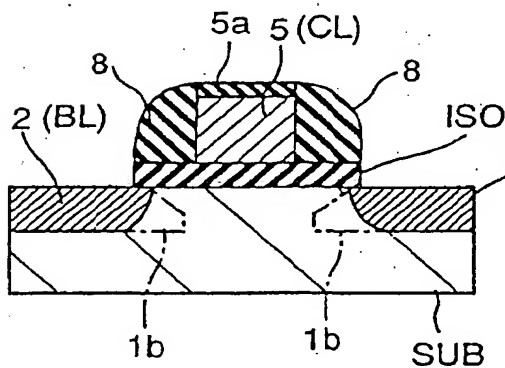


FIG.12C-2

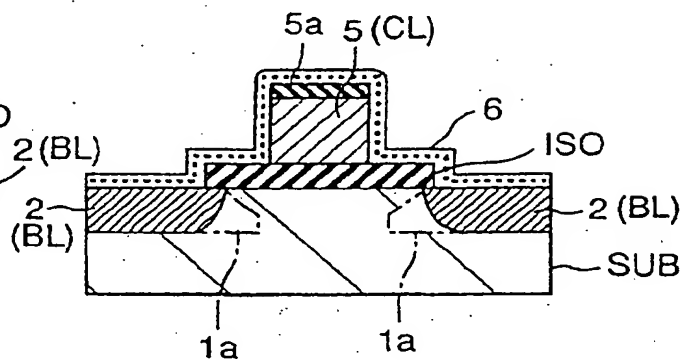


FIG.12D

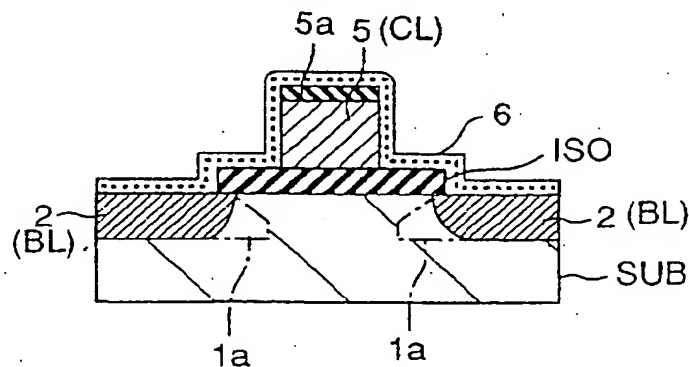


FIG.13

zu schreibende Daten

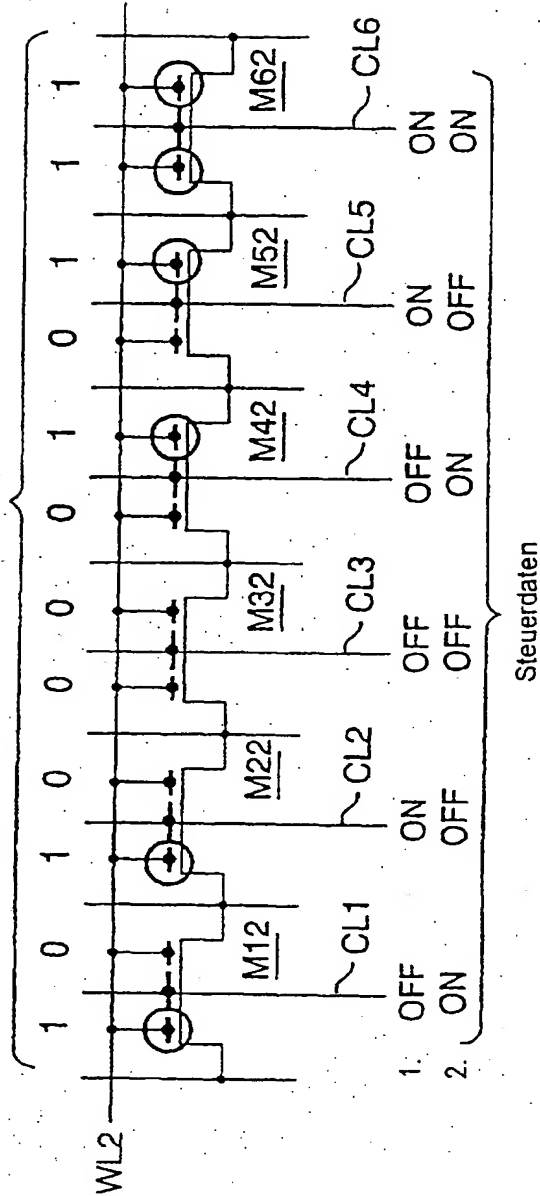


FIG.14

☐ wähle
☐ aus

☐ schreibe

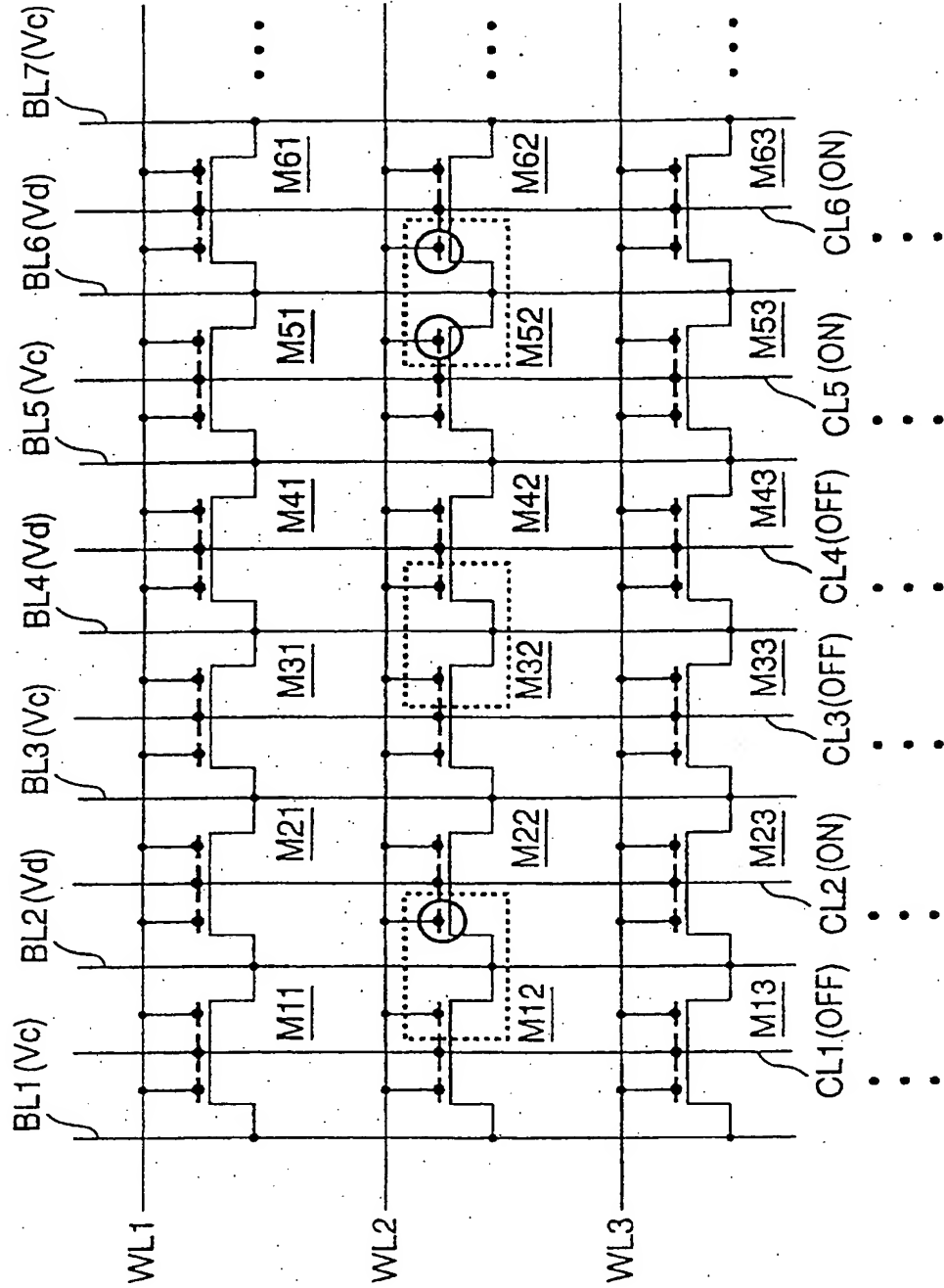


FIG.15

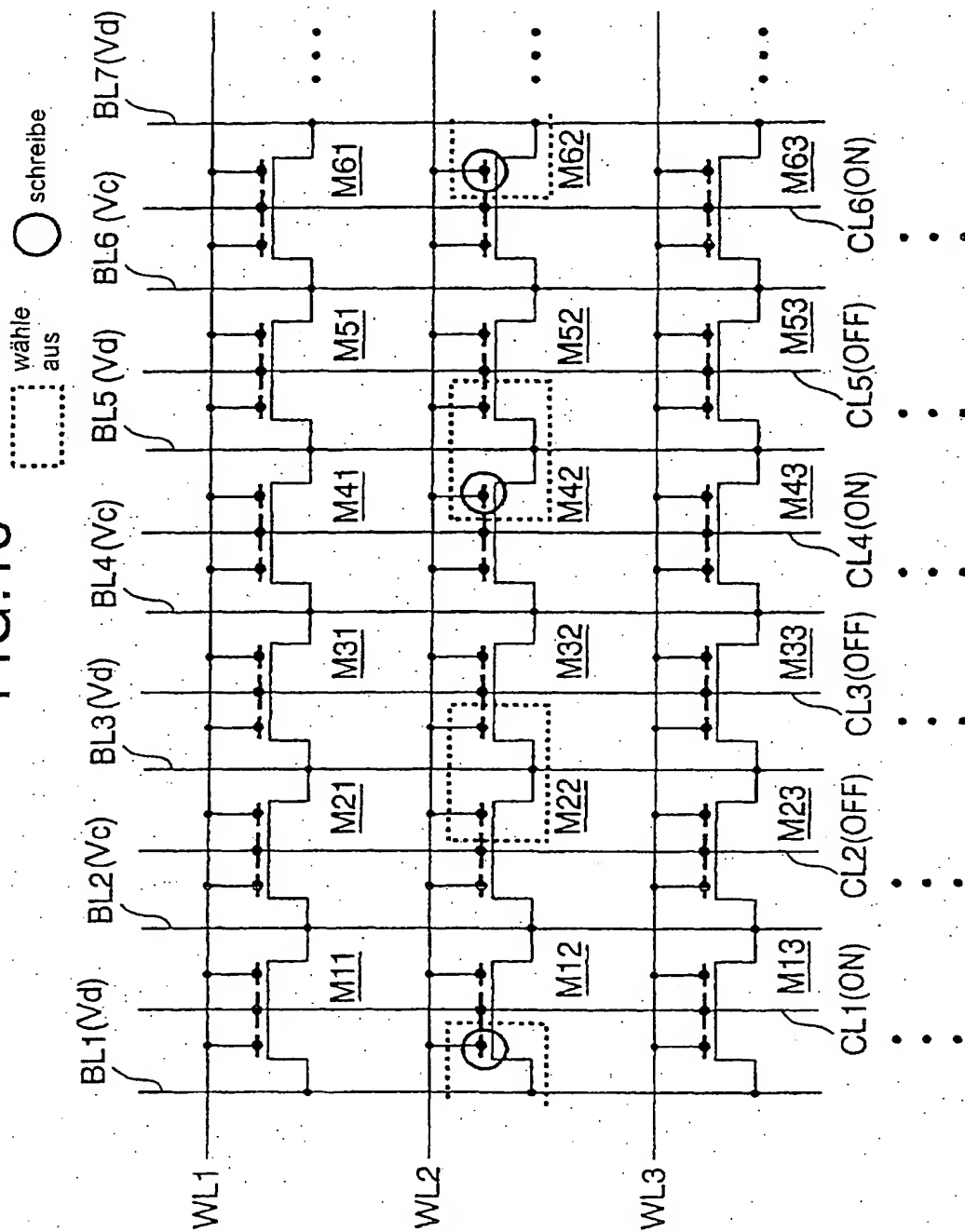


FIG.16

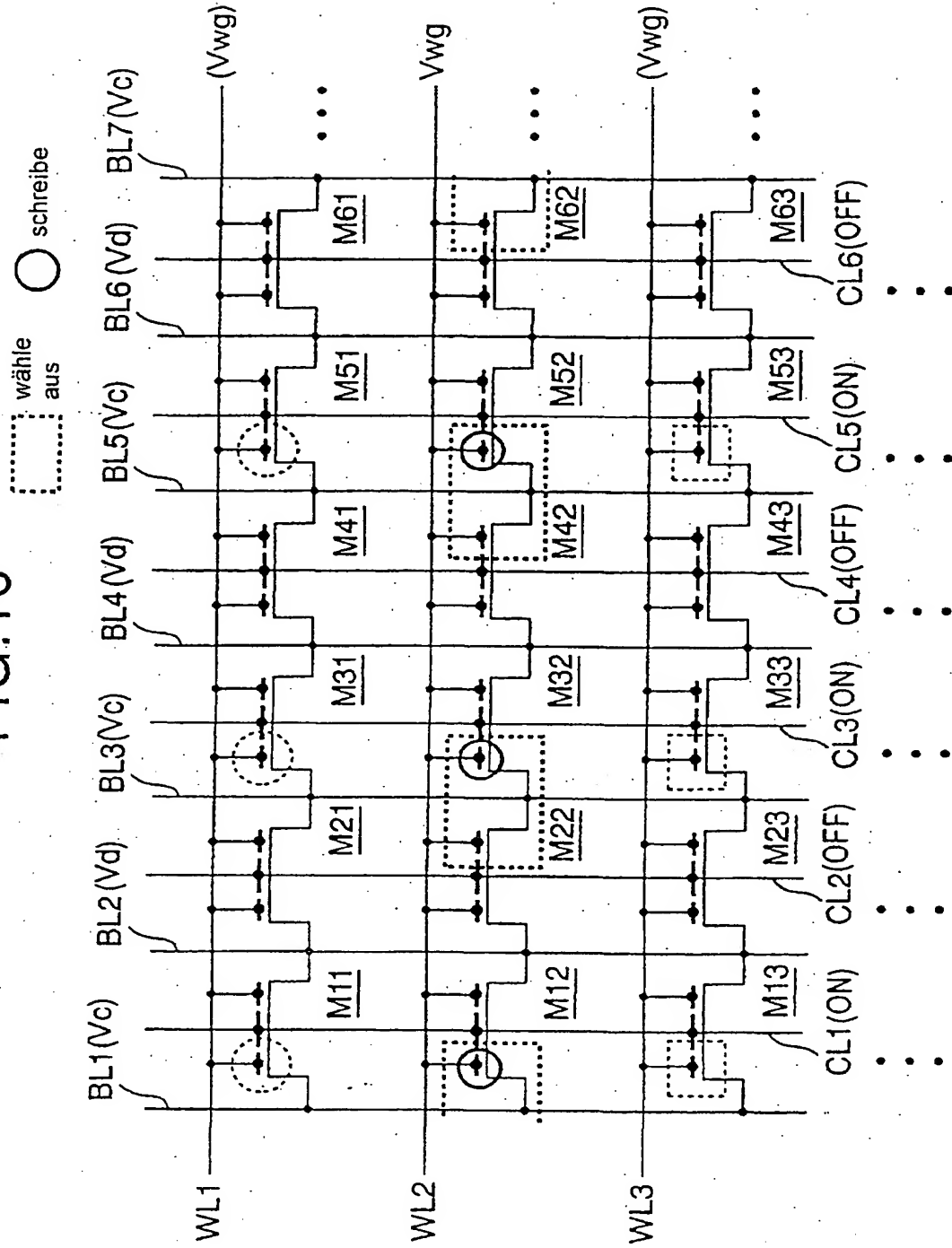


FIG. 17

☐ wähle aus
☐ schreibe

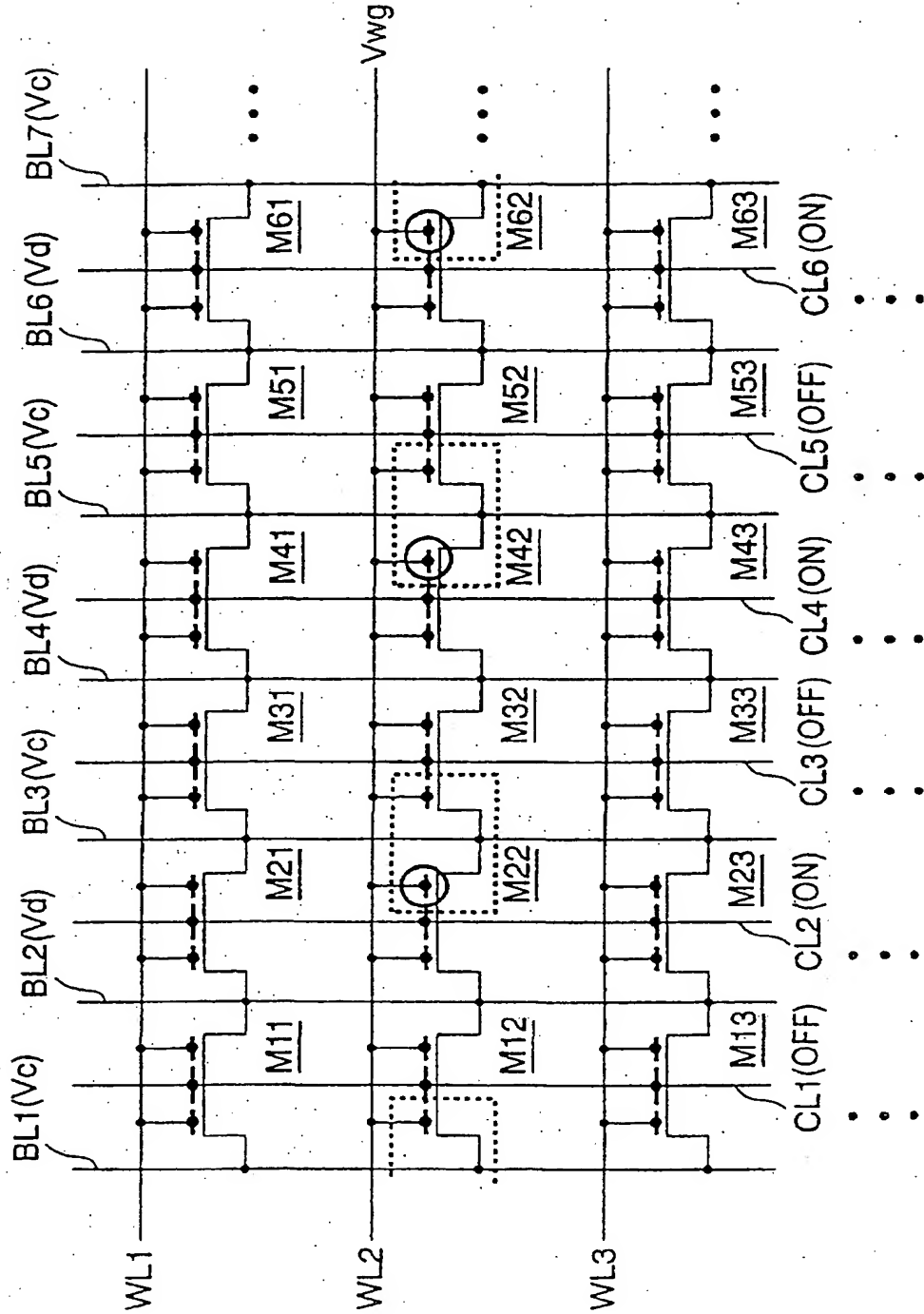


FIG.18

 wähle aus
 schreibe

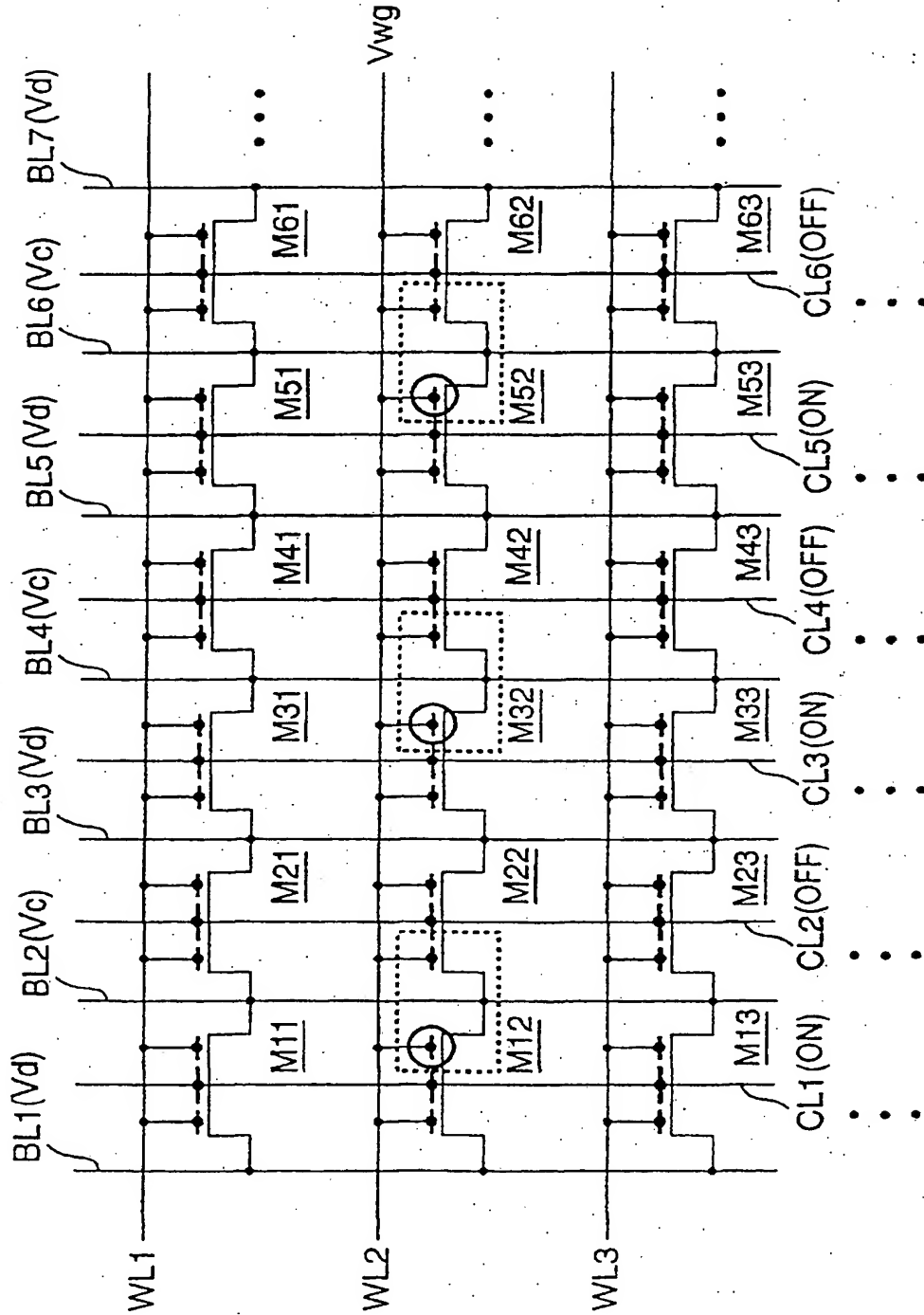


FIG.19

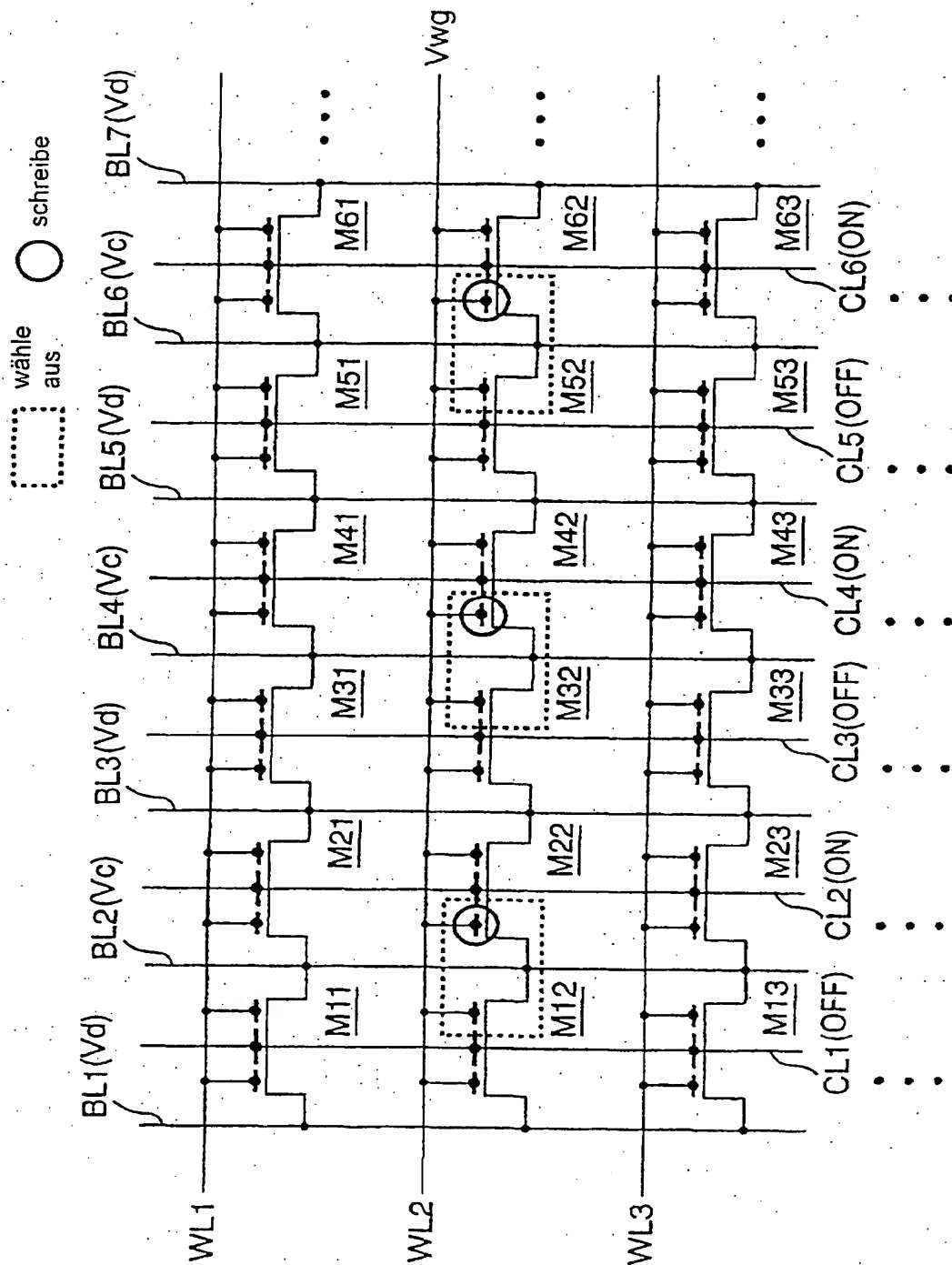


FIG.20

 wähle aus
 schreibe

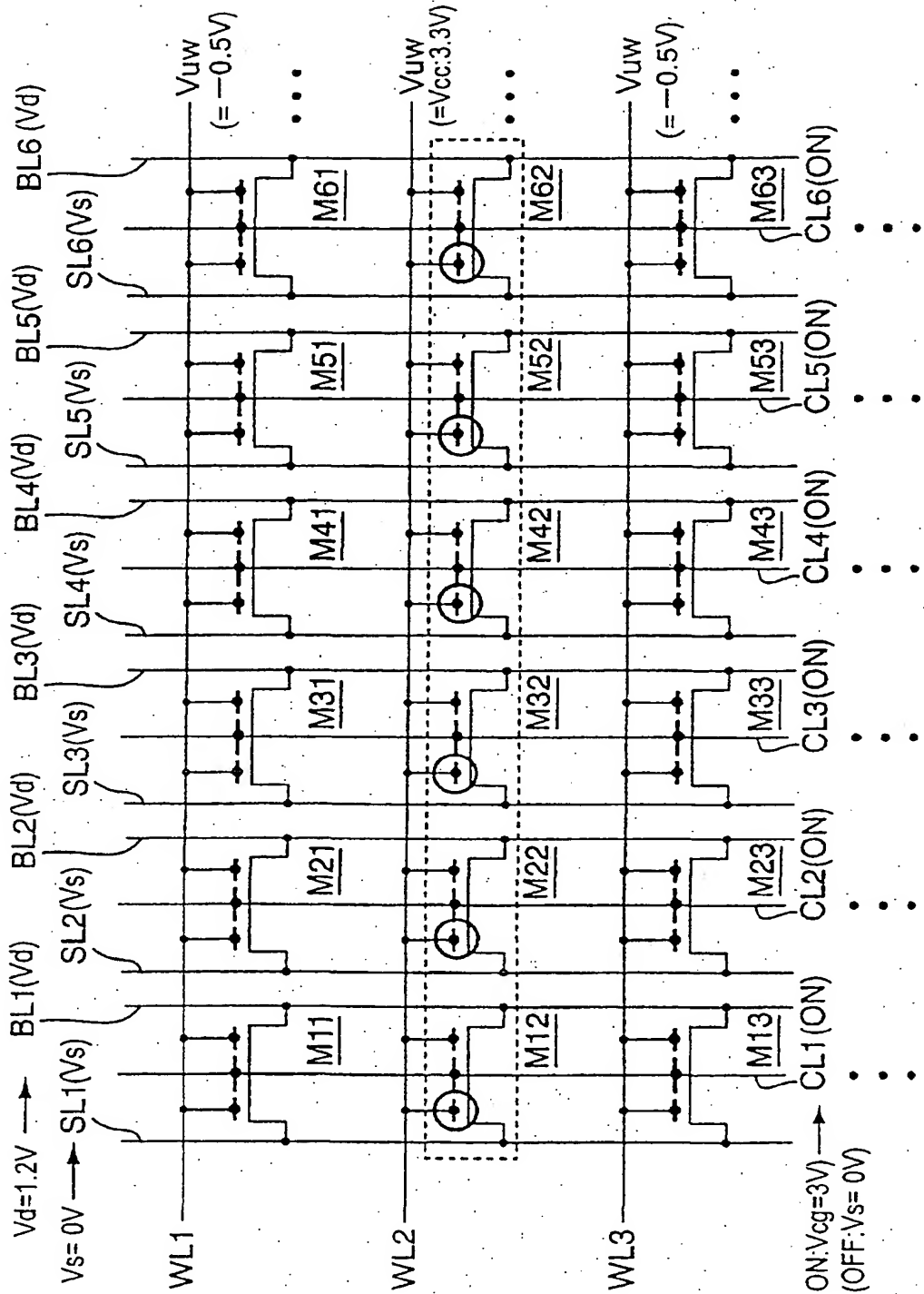
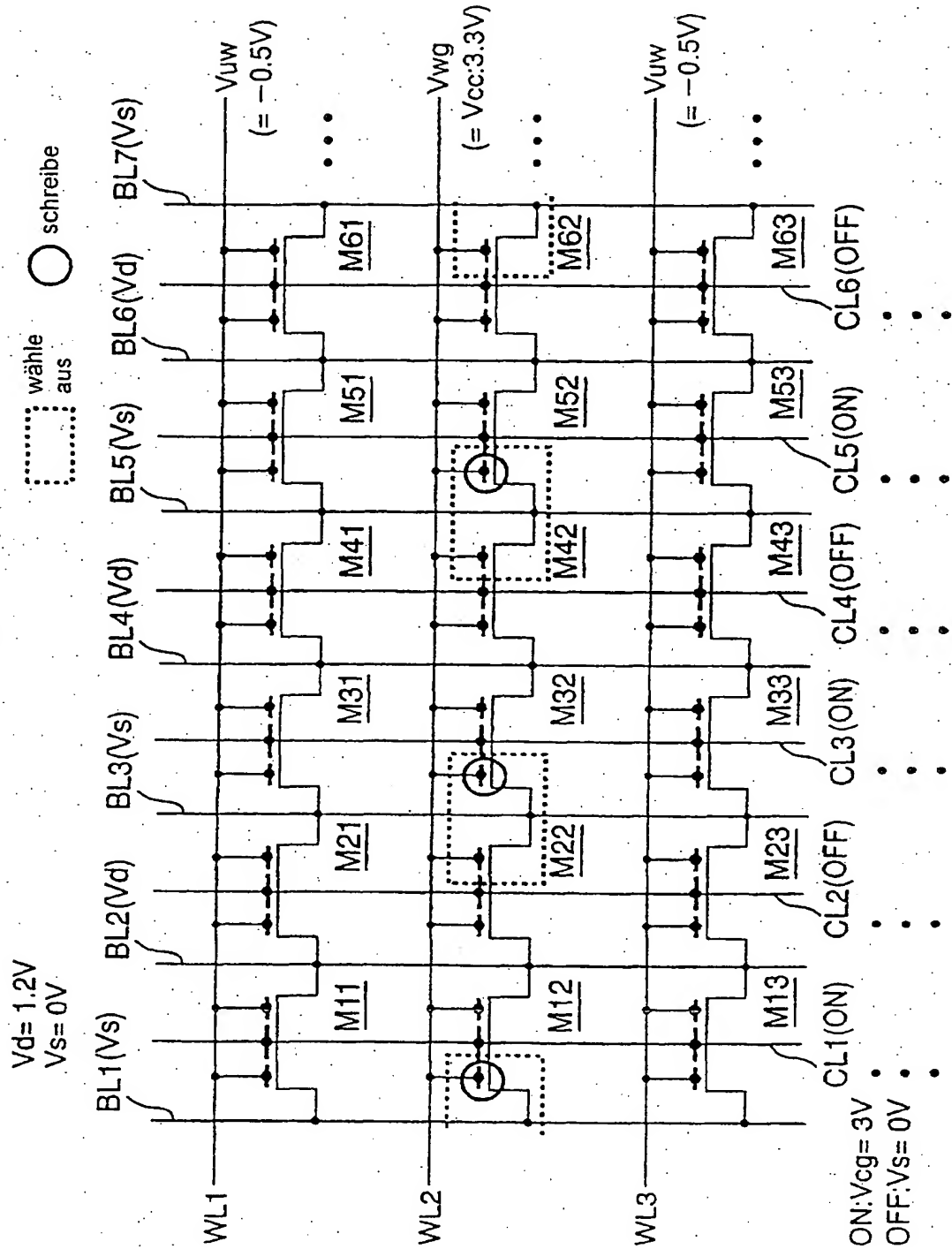


FIG. 21



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.